

Elektronikpraktikum im WS 2010/11

UNIVERSITÄT STUTTGART

Protokoll zum Versuch

V11: D/A- und A/D-Umsetzer

Stephan Ludwig, Nicolai Lang

19. Januar 2011

Zusammenfassung

Der folgende Versuch befasst sich mit dem Aufbau und der Funktionsweise einfacher Digital/Analog- und Analog/Digital-Wandler. Im Speziellen wird die Ausgangsfunktion eines D/A-Wandlers ermittelt und dessen differentielle Nichtlinearität bestimmt. Abschließend wird die Funktion eines A/D-Wandlers analysiert, der auf Basis des zuvor aufgebauten D/A-Wandlers arbeitet.

Verfasser	Lang, Nicolai (2439501, B.Sc. Physik)
Mitarbeiter	Ludwig, Stephan (2526605, B.Sc. Physik)
Gruppennummer	1-16
Versuchstag	17. Januar 2011
Betreuer	Steffen Steinert

Inhaltsverzeichnis

1. Grundlagen	3
1.1. Digital/Analog-Wandler	3
1.1.1. Der invertierende Verstärker	3
1.1.2. Der Summationsverstärker	3
1.1.3. Der D/A-Wandler	3
1.2. Analog/Digital-Wandler	4
2. Messprinzip, Schaltpläne und Versuchsablauf	6
2.1. Digital/Analog-Wandler	6
2.2. Analog/Digital-Wandler	7
3. Berechnungen & Formeln	8
4. Auswertung	9
4.1. Digital/Analog-Wandler	9
4.1.1. Statische Eingangssignale	9
4.1.2. Getaktete Eingangssignale	10
4.2. Analog/Digital-Wandler	12
5. Fehlerrechnung	14
6. Zusammenfassung	15
A. Messwerte	16

1. Grundlagen

1.1. Digital/Analog-Wandler

Um die Funktionsweise eines D/A-Wandlers zu verstehen, ist es hilfreich Aufbau und Funktion des invertierenden bzw. Summationsverstärkers zu rekapitulieren.

1.1.1. Der invertierende Verstärker

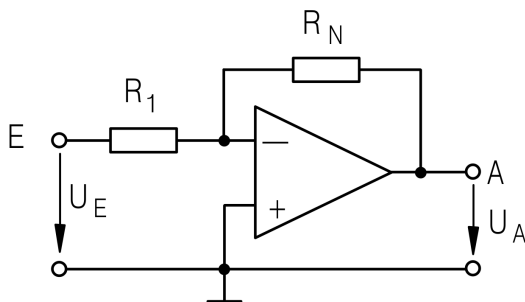


Abbildung 1: Invertierender Verstärker.

In Abb. 1 ist die Schaltung eines *Umkehrverstärkers* abgebildet. Dessen Name begründet sich in dem Umstand, dass die an *E* anliegende Spannung um einen gewissen, von der Beschaltung abhängigen **negativen** Faktor verstärkt wird. Das Potential an *A* ist dem an *E* also entgegengesetzt. Die Verstärkung dieser Schaltung lässt sich einfach errechnen, wenn man die Eigenschaften des (idealen) OpAmp zu Grunde legt.

An E_- befindet sich ein virtueller Massepunkt. Demnach gilt $U_{E_-} = 0$ und durch R_1 fließt nach dem Ohmschen Gesetz der Strom $I_E = \frac{U_E}{R_1}$. Da in den Eingang E_- des OpAmp kein Strom fließen kann, muss dieser vollständig durch den Gegenkopplungswiderstand R_N abgeleitet werden. Dann muss aber $U_A = -I_E \cdot R_N$ gelten, da nur diese Potentialdifferenz zur virtuellen Masse obigen Strom hervorruft. Setzen wir die vorherigen Formeln ineinander ein, erhalten wir

$$U_A = -U_E \cdot \frac{R_N}{R_1} \quad (1)$$

Damit beträgt die Verstärkung $V_{inv} = -\frac{R_N}{R_1}$ (man beachte das Minus) und der Eingangswiderstand $R_E = R_1 = \frac{U_E}{I_E}$. Eine Verallgemeinerung des hier behandelten invertierenden Verstärkers wird im nächsten Abschnitt vorgestellt.

1.1.2. Der Summationsverstärker

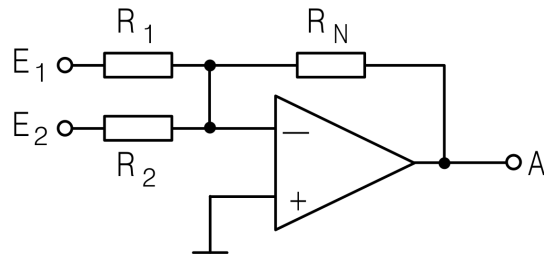


Abbildung 2: Summationsverstärker.

Die in Abb. 2 dargestellte Schaltung wird als *Summationsverstärker* bezeichnet und unterscheidet sich nur wenig vom oben beschriebenen invertierenden Verstärker. Letztlich fungiert der Widerstand R_1 beim invertierenden Verstärker als *Spannungs-Strom-Wandler*.

Die angelegte Spannung wird auf Grund des virtuellen Massepunktes zu einem durch R_1 bestimmten Strom umgewandelt, welcher über R_N abfließt. Die gegengekoppelte OpAmp-Schaltung sorgt nun ihrerseits für eine *Strom-Spannungs-Wandlung* indem sie jeden in die virtuelle Masse fließenden Strom als Spannungsäquivalent dem Ausgang beaufschlagt. Damit lassen sich aber an die virtuelle Masse weitere Spannungs-Strom-Wandler koppeln, welche ihren Strom an die virtuelle Masse abführen. Dies geschieht durch die parallel geschalteten Widerstände R_1 und R_2 in Abb. 2 (man könnte noch weitere parallel schalten). Auf diese Weise lassen sich die an den Eingängen anliegenden Spannungen selektiv verstärken, invertieren und zu einem Ausgangssignal addieren. Dann gilt:

$$U_A = -R_N \cdot \sum_{i=1}^n \frac{U_{E_i}}{R_i} \quad (2)$$

Wegen der invertierenden und addierenden Eigenschaft wird ein solcher Verstärker auch als *Umkehraddierer* bezeichnet.

1.1.3. Der D/A-Wandler

Die Aufgabe eines D/A-Wandlers besteht in der Transformation digitaler Eingangssignale in analoge Ausgangssignale. Dabei sollen am Eingang anliegenden Dualzahlen monoton korrespondierende Ausgangsspannungspegel zugeordnet werden. Eine einfache Schaltung, die dies bewerkstelligt ist in Abb. 3 dargestellt. Sie macht sich

die oben beschriebene Eigenschaft des Summationsverstärkers zu nutze um den Beitrag verschiedenwertiger Eingängen zum (analogen) Ausgangssignal unterschiedlich zu gewichten.

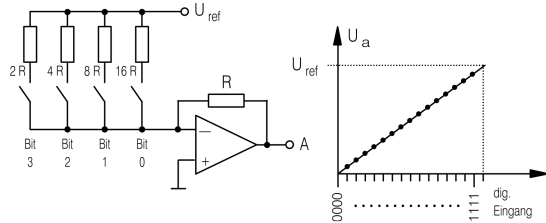


Abbildung 3: Aufbau eines 4-Bit D/A-Wandlers (links) und Ausgangskennlinie (rechts).

Die Verstärkungsfaktoren werden bei einem N-Bit D/A Wandler so gewählt, dass das 1sb eine Verstärkung von $\frac{2^0}{2^N}$ erhält. Das nächsthöhere Bit wird mit $\frac{2^1}{2^N}$ entsprechend seiner Wertigkeit doppelt so stark gewichtet wie das 1sb. Dieser Struktur folgend wird das msb mit $\frac{2^{N-1}}{2^N} = \frac{1}{2}$ verstärkt. Wegen Gleichung (2) summieren sich die invertierten, mit dem entsprechenden Verstärkungsfaktor multiplizierten Eingangsspannung auf und man erhält die Ausgangsfunktion

$$U_A = -\frac{U_{Ref}}{2^N} \sum_{i=0}^{N-1} 2^i \cdot \text{Bit}_i \quad (3)$$

Damit ergibt sich die Ausgangsspannung mit maximalem Betrag zu

$$U_A^{max} = -\frac{U_{Ref}}{2^N} \sum_{i=0}^{N-1} 2^i = -U_{Ref} \cdot \frac{2^N - 1}{2^N} \quad (4)$$

Hier wurde die Formel für die geometrische Summe benutzt. Der Pegelabstand am analogen Ausgang beträgt dabei $\Delta U_A = \frac{U_{Ref}}{2^N}$.

Durch Variation des Gegenkopplungswiderstandes R lässt sich der maximal mögliche Wert U_A^{max} einstellen, nachdem $U_A(0, \dots, 0) = 0V$ durch anlegen einer Kompensationsspannung gewährleistet ist. Die dazwischen liegenden Potentialstufen liegen im Idealfall auf einer Geraden zwischen $U_A(0, \dots, 0) = 0V$ und $U_A(1, \dots, 1) = U_A^{max}$. Auf Grund der Toleranzen der verwendeten Widerstände ist dies in der Praxis nicht der Fall. Die *differentielle Nichtlinearität* ist ein Maß für diese Abweichung des idealen D/A-Wandlers und ist definiert als

$$\delta = \max_i |(U_i - U_{i-1}) - \Delta U_A| \quad (5)$$

Ist $\delta > \Delta U_A$ muss auf Grund der fixierten Minimal- und Maximalspannungen an mindestens einer Stelle in der Kurve ein ‘Knick’ auftreten. Der D/A-Wandler ist also *nichtmonoton*. Diese Problematik wird speziell für Wandler mit großem N relevant da hier die ΔU_A besonders klein sind.

1.2. Analog/Digital-Wandler

Ein A/D-Wandler ist im Grunde das Gegenstück zum D/A-Wandler. Seine Aufgabe besteht in der Übersetzung eines anliegenden analogen Spannungspegels in ein binäres Signal, also eine Dualzahl. Eine solche Transformation wird von jedem Multimeter durchgeführt – entsprechend wichtig sind präzise (und vorallem schnelle) A/D-Wandler in der Messtechnik.

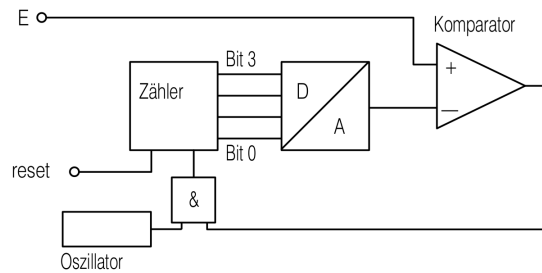


Abbildung 4: Aufbau eines 4-Bit A/D-Wandlers.

Abb. 4 zeigt den schematischen Aufbau eines 4-Bit A/D-Wandlers wie er im folgenden Versuch Verwendung findet. Man erkennt als Herzstück den schon oben besprochenen D/A-Wandler. Dieser wird zusätzlich mit einem Zähler und einem als Komparator betriebenen OpAmp beschaltet. Der externe Takt kann den Zähler nur so lange betreiben, wie der Komparatorausgang eine logische 1 liefert. Dies ist für $U_E > U_{AD}$ der Fall, da dann der nichtinvertierende Eingang mit dem höheren Potential verbunden ist. Damit wird er Zähler so lange inkrementiert, bis $U_E \leq U_{AD}$ gilt und der OpAmp die negative Versorgungsspannung ausgibt. Diese wird vom AND-Gatter als logische 0 interpretiert und hält den Zähler bei einer der Spannung U_E proportionalen Dualzahl an.

Dieser D/A-Wandler besitzt einige Nachteile, welche von modernen Wandlern dank alternativer Mechanismen (vgl. *Zwei-Rampen-Verfahren*) vermieden werden:

- Der Wandler rundet stets auf, da er erst für $U_E \leq U_{AD}$ auf die *nächste* Stufe springt.

Dies lässt sich durch Verschieben des Nullpunktes des D/A-Wandlers beheben.

- Die Genauigkeit und Auflösung des D/A-Wandlers überträgt sich auf den A/D-Wandler. Dessen Qualität koppelt damit an die Toleranzen der verbauten Widerstände.
- Weist der D/A-Wandler *Nichtmonotonien* auf, können diese Bits vom A/D-Wandler nicht ausgegeben werden, da die Inkrementierung des Zählers nur bei steigenden Spannungen des D/A-Wandlers abbrechen kann. Diese nicht vorhandenen Dualzahlen werden als *missing codes* bezeichnet.
- Die Wandlungsdauer ist relativ hoch, da im schlimmsten Fall 2^N Takte vergehen, bis der Wandler den korrekten Code anzeigt.

Die Wandlungsdauer lässt sich beträchtlich reduzieren, indem der Zähler beim **msb** beginnt und überprüft, ob das Setzen des Bits $U_E \leq U_{AD}$ erzwingt. Ist dies der Fall, wird es gelöscht – im anderen Fall bleibt es gesetzt. Auf diese Weise fortschreitend benötigt man N Takte um die korrekte Dualzahl zu ermitteln. Dieses Verfahren wird als *sukzessive Approximation* bezeichnet, wird aber im Folgenden nicht verwendet.

2. Messprinzip, Schaltpläne und Versuchsablauf

2.1. Digital/Analog-Wandler

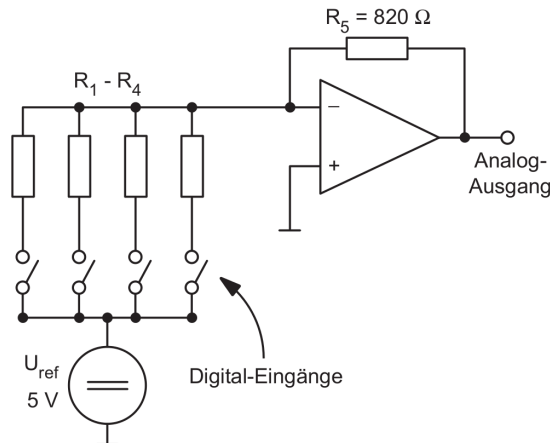


Abbildung 5: Schaltplan des 4-Bit D/A-Wandlers.

Messprinzip und Versuchsaufbau Die Schaltung wird nach Abb. 5 aufgebaut. Als Operationsverstärker kommt der OP177G zum Einsatz. Die zu verwendenden Widerstände sind

$$R_4 = 8.2\text{k}\Omega \quad (6)$$

$$R_3 = 3.9\text{k}\Omega \quad (7)$$

$$R_2 = 2.2\text{k}\Omega \quad (8)$$

$$R_1 = 1.0\text{k}\Omega \quad (9)$$

Der Ausgang wird wahlweise mit einem Tischmultimeter oder einem Oszilloskop überwacht. Die Schalter am Eingang können durch den 4-Bit Zähler 74191 ersetzt werden.

Versuchsablauf

1. Die Ausgangsspannung der Schaltung wird in Abhängigkeit vom Eingangszustand gemessen (16 Messungen).
2. Die Schalter in Abb. 5 werden durch die Ausgänge eines 4-Bit Zählers ersetzt. Dieser wird mit dem Sync-Ausgang des Funktionsgenerators getaktet. Der Ausgang wird mit dem Oszilloskop (CH1) verbunden um den Ausgangsspannungsverlauf beobachten zu können. Mit Hilfe des Oszilloskops werden Nullpunkt und Maximalwert der Spannungskaskade ermittelt. Durch Zufuhr eines negativen Stromes an den invertierenden Eingang des Operationsverstärkers wird die Nullpunktverschiebung kompensiert. Anschließend wird durch Variation von R_5 der maximale Spannungspegel aus dem ersten Versuchsteil wiederhergestellt.
3. Durch Variation der Widerstände $R_1 - R_4$ wird nun die Linearität des D/A-Wandlers verbessert (mit dem Oszilloskop kontrollieren).

Geräte 8.2k Ω -Widerstand, 3.9k Ω -Widerstand, 2.2k Ω -Widerstand, 1.0k Ω -Widerstand, 0.82k Ω -Widerstand Operationsverstärker OP177G, Synchronzähler 74191, Keithley 3390 (Funktionsgenerator), Tektronix (Digitaloszilloskop), Keithley 2100 (Tischmultimeter), TTI (Konstantspannungsquelle), Tastermodul, Steckbrett mit Spannungsquelle. ◀

2.2. Analog/Digital-Wandler

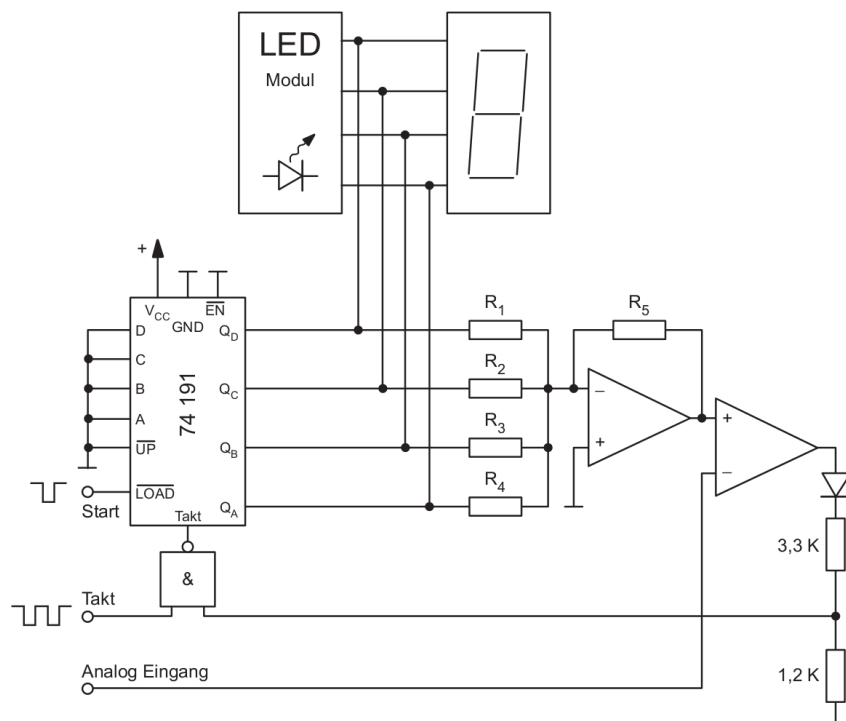


Abbildung 6: Schaltplan des 4-Bit A/D-Wandlers.

Messprinzip und Versuchsaufbau Die Schaltung aus Abb. 6 wird aufgebaut. Der Takt wird vom Signalgenerator (Sync-Ausgang), das anliegende Analog-Signal mit einer Konstantspannungsquelle und einer Potentiometerschaltung erzeugt. Die Überwachung des Ausgangs (4 Leitungen) erfolgt durch das LED-Modul.

Versuchsablauf Die Funktionsweise des A/D-Wandlers wird qualitativ untersucht und dokumentiert.

Geräte 3.3kΩ-Widerstand, 1.2kΩ-Widerstand, 8.2kΩ-Widerstand, 3.9kΩ-Widerstand, 2.2kΩ-Widerstand, 1.0kΩ-Widerstand, 0.82kΩ-Widerstand, Halbleiterdiode, Operationsverstärker OP177G, Synchronzähler 74191, NAND-Gatter DM7400, Keithley 3390 (Funktionsgenerator), TTI (Konstantspannungsquelle), Potentiometermodul, LED-Modul, Steckbrett mit Spannungsquelle. ◀

3. Berechnungen & Formeln

Im Folgenden ist

- V_{inv} : $[V_{inv}] = 1$ die Verstärkung des invertierenden Verstärkers.
- R_5 : $[R_5] = 1\Omega$ der Rückkopplungswiderstand (siehe entsprechenden Schaltplan).
- R_i : $[R_i] = 1\Omega$ ein Beschaltungswiderstand (siehe entsprechenden Schaltplan).
- U_A : $[U_A] = 1V$ die Ausgangsspannung des OpAmps.
- U_i : $[U_i] = 1V$ die Ausgangsspannung des D/A-Wandlers für den i-ten Zustand.
- δ : $[\delta] = 1V$ die differentielle Nichtlinearität des D/A-Wandlers.
- ΔU_A : $[\Delta U_A] = 1V$ die Ausgangsspannungsdifferenz des D/A-Wandlers für das 1sb.
- U_{ref} : $[U_{ref}] = 1V$ die Eingangsspannung des OpAmps an den Digital-Eingängen.

Da im Folgenden zur Dimensionierung der Schaltung die Eigenschaften des Summationsverstärkers bzw. invertierenden Verstärkers benutzt werden, sind hier die wichtigen formalen Zusammenhänge nochmal aufgelistet:

Invertierender Verstärker Für die Verstärkung eines invertierenden Verstärkers gilt

$$V_{inv} = -\frac{R_5}{R_i} = \frac{U_A}{U_{ref}} \quad (10)$$

wobei $V_{inv} \leq 0$ auf die Inversion der Ausgangsspannung hinweist.

Summationsverstärker Die Ausgangsspannung des Summationsverstärkers ist gegeben durch

$$U_A = -R_5 \cdot \sum_{i=1}^n \frac{U_{ref}}{R_i} \quad (11)$$

Die in die virtuelle Masse am Eingang fließende Ströme addieren sich also auf und bestimmen somit den Ausgangsspannungspegel.

D/A-Wandler Die *differentielle Nichtlinearität* ist ein Maß für die Abweichung der Pegel des realen von denen des idealen D/A-Wandlers und ist definiert als

$$\delta = \max_i |(U_i - U_{i-1}) - \Delta U_A| \quad (12)$$

4. Auswertung

4.1. Digital/Analog-Wandler

4.1.1. Statische Eingangssignale

Für die Widerstände ergibt sich mit $\Delta U_A = 0.5\text{V}$, $R_5 = 820\Omega$ und $U_{ref} = 5.0\text{V}$ sowie Gleichung (10) für den invertierenden Verstärker:

$$R_4 = R_5 \cdot \frac{U_{ref}}{\Delta U_A} = 8200\Omega \quad \Rightarrow \quad R_4^* = 8.2\text{k}\Omega \quad (13)$$

$$R_3 = \frac{R_4}{2} = 4100\Omega \quad \Rightarrow \quad R_3^* = 3.9\text{k}\Omega \quad (14)$$

$$R_2 = \frac{R_3}{2} = 2050\Omega \quad \Rightarrow \quad R_2^* = 2.2\text{k}\Omega \quad (15)$$

$$R_1 = \frac{R_2}{2} = 1025\Omega \quad \Rightarrow \quad R_1^* = 1.0\text{k}\Omega \quad (16)$$

Berechnungen mit Gleichung (11) zeigen (siehe Tabelle 3), dass die Monotoniebedingung durch die Approximation mit den E12-Widerständen R_i^* *nicht* verletzt wird. Auch mit den gerundeten E12-Widerständen bleiben die Differenzen aufeinanderfolgender Ausgangsspannungen stets positiv.

	R_1^*	R_2^*	R_3^*	R_4^*	U_{ref}^*	R
	[kΩ]	[kΩ]	[kΩ]	[kΩ]	[V]	[kΩ]
	1,0	2,2	3,9	8,2	5,0	0,82
Zustand	Bit 3	Bit 2	Bit 1	Bit 0	$ U_A $	$ U_A(i+1) - U_A(i) $
	[1]	[1]	[1]	[1]	[V]	[V]
0	0	0	0	0	0,000	0,50
1	0	0	0	1	0,500	0,55
2	0	0	1	0	1,051	0,50
3	0	0	1	1	1,551	0,31
4	0	1	0	0	1,864	0,50
5	0	1	0	1	2,364	0,55
6	0	1	1	0	2,915	0,50
7	0	1	1	1	3,415	0,69
8	1	0	0	0	4,100	0,50
9	1	0	0	1	4,600	0,55
10	1	0	1	0	5,151	0,50
11	1	0	1	1	5,651	0,31
12	1	1	0	0	5,964	0,50
13	1	1	0	1	6,464	0,55
14	1	1	1	0	7,015	0,50
15	1	1	1	1	7,515	

Tabelle 1: Theoretische Spannungswerte und Monotoniebedingung.

Um einen 12-Bit Wandler zu erhalten müssen die Widerstände extrem kleine Toleranzen aufweisen um die Monotoniebedingung mit Sicherheit nicht zu verletzen. Wie man sich schnell klar macht, können nicht monotone Übergänge immer nur beim neu Setzen eines höheren Bits auftreten, wenn im gleichen Schritt mehrere andere Bits deaktiviert werden. Die größte Kumulation von Fehlern erfolgt bei der Aktivierung des höchstwertigen Bits. Im Grenzfall führen die Toleranzen dazu, dass beim Umschalten auf das höchstwertige Bit keine Spannungsveränderung auftritt. Dies ist der Fall wenn gilt

$$\frac{1}{R_{12}(1+\delta)} = \frac{1}{R_{11}(1-\delta)} + \dots + \frac{1}{R_1(1-\delta)} \quad (17)$$

wobei δ die Toleranz der benutzten Widerstände bezeichnet. Da die aufeinanderfolgenden Widerstände immer die Hälfte des Vorgängers als Wert besitzen folgt

$$\frac{2^{11}}{R(1+\delta)} = \frac{2^{10}}{R(1-\delta)} + \dots + \frac{1}{R(1-\delta)} \quad (18)$$

Mit der geometrischen Reihe ergibt sich

$$\frac{2^{11}}{1+\delta} = \frac{2^{10} + \dots + 1}{1-\delta} \Rightarrow \frac{1-\delta}{1+\delta} = 1 - \frac{1}{2^{11}} =: c \quad (19)$$

Elementare Rechnungen ergeben

$$\delta = \frac{1-c}{1+c} = \frac{1}{2^{12}-1} \approx 2.44 \cdot 10^{-4} \approx 0.03\% \quad (20)$$

Demnach müssen die Widerstände Toleranzen $\leq 0.03\%$ aufweisen um die Monotoniebedingung mit Sicherheit zu erfüllen.

In Tabelle 2 sind die gemessenen Ausgangsspannungen des D/A-Wandlers für alle 16 Eingangszustände gelistet. Hierbei wurden die oben berechneten E12-Widerstände benutzt. Desweiteren wurde keine Anpassung des Offsets durchgeführt.

Zustand	Binär	Spannung U [V]
0	0000	-0.0009
1	0001	-0.485
2	0010	-1.017
3	0011	-1.501
4	0100	-1.780
5	0101	-2.264
6	0110	-2.794
7	0111	-3.277
8	1000	-3.805
9	1001	-4.287
10	1010	-4.815
11	1011	-5.296
12	1100	-5.574
13	1101	-6.054
14	1110	-6.579
15	1111	-7.057

Tabelle 2: Ausgangsspannungen des D/A-Wandlers (manuell getaktet).

Die differentielle Nichtlinearität ergibt sich gemäß Gl. (12) zu

$$\delta^{(1)} \approx 0.222V \quad (21)$$

Hierfür wurden die Messdaten aus Tab. 2 und $\Delta U_A = 0.5V$ benutzt. In Abbildung 7 wurden die Daten aus Tab. 2 grafisch aufgetragen. Man erkennt zum einen an der linearen Regressionsgeraden, dass die Spannungsstufen nicht exakt äquidistant sind. Zum Anderen zeigt die Abweichung von der Geraden $g(x) = -0.5 \cdot x$, dass auch im Mittel keine Stufenhöhe von 0.5V erreicht wurde. Diese Abweichungen von der Theorie sind in den nur näherungsweise passenden E12-Widerständen und deren Toleranzen begründet.

4.1.2. Getaktete Eingangssignale

Taktet man den D/A-Wandler mit dem 4-Bit Zähler und beobachtet den Ausgang mit dem Oszilloskop, erkennt man die Stufenfunktion des analogen Ausganges. Nach dem Durchlaufen aller

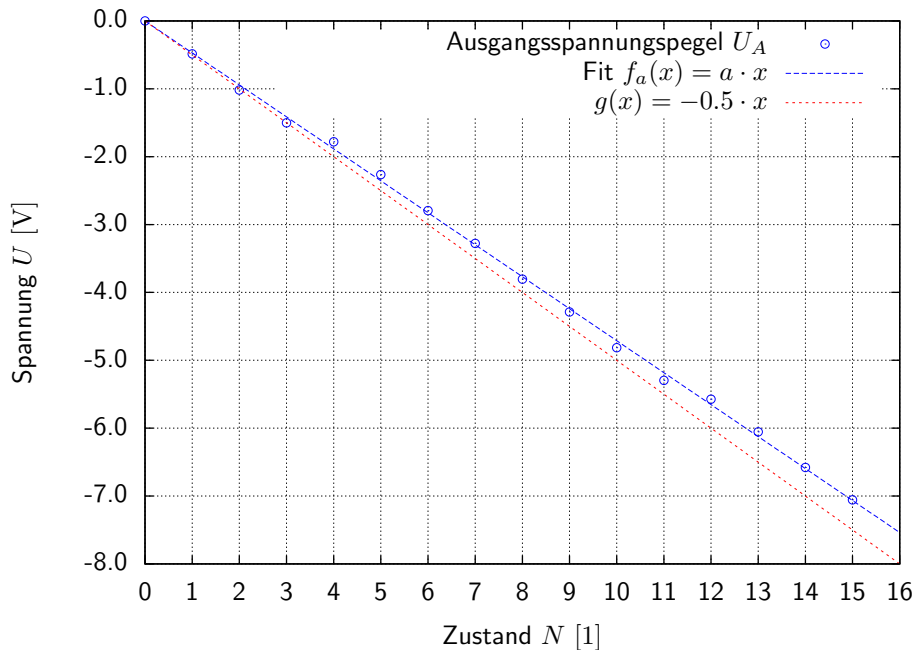


Abbildung 7: Ausgangsspannung des D/A-Wandlers in Abhängigkeit vom Eingangszustand (manuell getaktet).

16 Werte beginnt der Zähler von vorn und die zuvor negative Spannung springt (näherungsweise) auf 0V zurück. Da der Operationsverstärker als invertierender Verstärker betrieben wird (bzw. Umkehrdaddierer) *fällt* die Ausgangsspannung mit steigenden Eingangswerten.

Der Nullpunkt ergab sich zu $U_A^{(2)}(0000) = -0.12\text{V}$ während der Vollausschlag zu $U_A^{(2)}(1111) = -5.08\text{V}$ gemessen wurde. Vergleicht man dies mit den entsprechenden Werten der manuellen Messung $U_A^{(1)}(0000) = -0.00009\text{V}$ und $U_A^{(1)}(1111) = -7.057\text{V}$ (Betätigung der Eingänge mit Tastern) erkennt man $U_A^{(2)}(0000) < U_A^{(1)}(0000)$ sowie $U_A^{(2)}(1111) > U_A^{(1)}(1111)$. Offensichtlich werden die Eingänge des D/A-Wandlers nicht (wie im Falle der Taster) mit 0.0V (low) bzw. 5.0V (high) beaufschlagt sondern mit etwas höheren (low) bzw. niedrigeren (high) Spannungen (Betrag). Hierfür sind vermutlich die Ausgangspegel des 4-Bit Zählers (TTL-Technik) verantwortlich. Diese erreichen i.d.R. weder 0.0V für die logische 0 noch 5.0V für die logische 1.

Die Nullpunktverschiebung lässt sich durch Zufuhr eines negativen Stromes in den Summationspunkt (invertierender Eingang des Operationsverstärkers) weitgehend kompensieren. Schaltet man den Widerstand R_5 mit einem Potentiometer in Reihe, lässt sich die Gesamtverstärkung aller Eingänge simultan manipulieren. Auf diese Weise konnte – nachdem der Nullpunkt angepasst wurde – der Maximalausschlag auf $U_A^{(3)}(1111) = 7.04\text{V}$ gestellt werden. Die Nullpunktsspannung wurde nun zu $U_A^{(3)}(0000) = 0.00\text{V}$ gemessen. Damit entsprach der abgedeckte Spannungsbereich dem aus dem ersten Aufgabenteil.

Um die Linearität des Wandlers zu verbessern wird für jeden Eingang (jedes “Bit”) getrennt überprüft, ob das Setzen des Einganges die gewünschte Spannungsdifferenz erzeugt. Die eingebauten E12-Widerstände mussten wie folgt ergänzt werden:

- R_1 wird mit $\hat{R}_1 = 17.98\text{k}\Omega \approx 18\text{k}\Omega$ (parallel) erniedrigt.
- R_2 wird mit $\hat{R}_2 = 16.97\text{k}\Omega \approx 18\text{k}\Omega$ (parallel) erniedrigt.
- R_3 wird mit $\hat{R}_3 = 70\Omega \approx 68\Omega$ (seriell) erhöht.

Zustand	Binär	Spannung U [V]
0	0000	-0.000014
1	0001	-0.500
2	0010	-1.000
3	0011	-1.499
4	0100	-1.987
5	0101	-2.485
6	0110	-2.983
7	0111	-3.480
8	1000	-3.999
9	1001	-4.496
10	1010	-4.992
11	1011	-5.486
12	1100	-5.972
13	1101	-6.465
14	1110	-6.959
15	1111	-7.449

Tabelle 3: Ausgangsspannungen des D/A-Wandlers (angepasst, manuell getaktet).

- R_4 wird mit $\hat{R}_4 = 267.1\text{k}\Omega \approx 270\text{k}\Omega$ (parallel) erniedrigt.

In Tabelle 3 sind die manuell ermittelten Ausgangsspannungen des angepassten D/A-Wandlers gelistet. Abbildung 8 stellt diese Werte grafisch dar. Vergleicht man Abb. 8 mit Abb. 7 erkennt man die deutlich gleichmäßigeren Spannungsdifferenzen zwischen aufeinanderfolgenden Zuständen. Des Weiteren liegen die Messpunkte auf der intendierten Geraden $g(x) = -0.5 \cdot x$. Im Mittel wird der Ausgangspegel pro Schritt also um 0.5V erhöht.

Die differentielle Nichtlinearität ergibt sich gemäß Gl. (12) zu

$$\delta^{(2)} \approx 0.019\text{V} \quad (22)$$

Hierfür wurden die Messdaten aus Tab. 3 und $\Delta U_A = 0.5\text{V}$ benutzt. Der Vergleich mit obigem Versuch ergibt $\delta^{(1)} > \delta^{(2)}$ – die differentielle Nichtlinearität konnte demnach durch die Anpassung der Widerstände um mehr als eine Zehnerpotenz verringert werden.

4.2. Analog/Digital-Wandler

Wird an den Analogeingang des A/D-Wandlers ein *negatives* Potential angelegt beginnt dieser mit dem angelegten Takt so lange hochzuzählen, bis der Takt am Zähler durch das Kippen der Ausgangsspannung des Komparators deaktiviert wird. Da wir einen 4-Bit Zähler verwenden wurden alle darstellbaren Zeichen der 7-Segmentanzeige benutzt (0-9 und a-f). Die Wandlungszeit wurde durch die Taktrate des Zählers bestimmt. Je höher die Frequenz, desto schneller erreichte der A/D-Wandler nach einem Reset den gewünschten Wert entsprechend des anliegenden Spannungspegels. Folglich müsste ein A/D-Wandler dieser Bauweise mit möglichst großen Frequenzen betrieben werden. Hierbei wird sich aber ab einer bauteilespezifischen Grenze die Laufzeit der Signale durch die beteiligten ICs als begrenzendes Moment bemerkbar machen. In diesem Regime wurde der A/D-Wandler in diesem Versuch aber nicht betrieben.

Die hier verwendete Wandlungsart ist die am einfachsten zu implementierende aber zugleich die ineffizienteste. Wie in den Grundlagen erläutert erfordert der Wandler im *worst case scenario* $2^N = 2^4 = 16$ Takte um das korrekte Ergebnis zu ermitteln. Diese Zahl lässt sich mit dem Verfahren der *sukzessiven Approximation* auf N Takte reduzieren. Implementiert man den Wandler mit 2^N Komparatoren und vergleicht die Eingangsspannung *simultan* mit 2^N Referenzspannungen lässt sich sogar eine Wandlung in nur einem Takt realisieren.

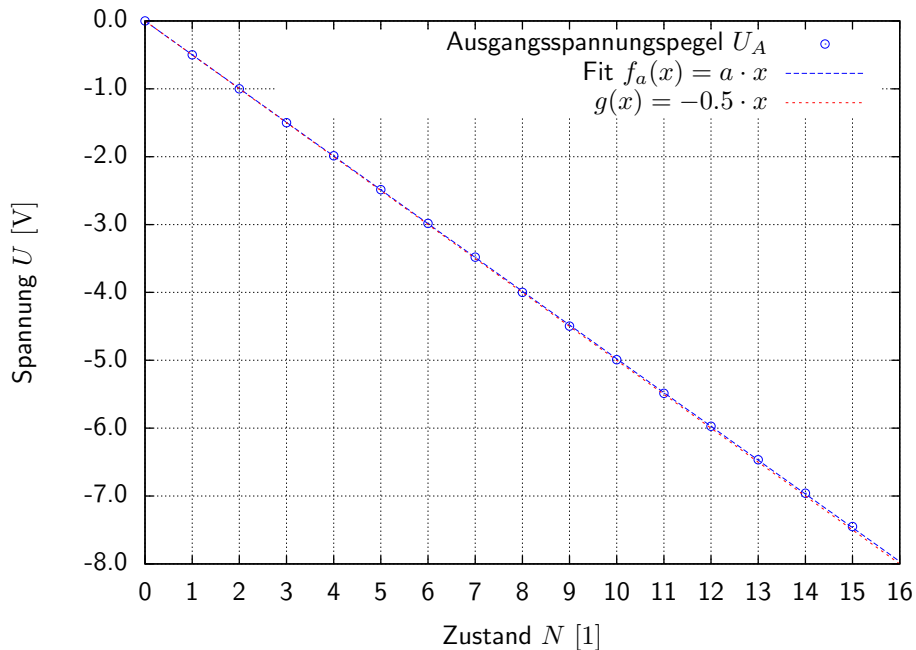


Abbildung 8: Ausgangsspannung des D/A-Wandlers in Abhängigkeit vom Eingangszustand (angepasst, manuell getaktet).

Die Genauigkeit des A/D-Wandlers (genauer: dessen Auflösung) der hier verwendeten Bauweise wird weitgehend durch die Auflösung des verwendeten D/A-Wandlers bestimmt. Teilt dieser den zu untersuchenden Spannungsbereich in mehr Abschnitte ein, lässt sich ein angelegtes Signal mit höherer Spannungsaufösung untersuchen. Demnach ließe sich die Genauigkeit prinzipiell durch Verwendung eines N -Bit D/A-Wandlers (i.e. Zählers) mit $N > 4$ weiter erhöhen. Hierbei gelten natürlich die Beschränkungen der D/A-Wandler wonach die Monotonie für große N kaum zu gewährleisten ist. Als Konsequenz fehlen dann die entsprechenden Codes in der Ausgabe (*missing codes*). Dies ist in der Regel Folge fehlender Monotonie auf Grund der unvermeidlichen Toleranzen der verwendeten Widerstände.

In Abbildung 9 ist zur besseren Übersicht ein Pulsfahrplan des verwendeten A/D-Wandlers für das Beispiel $U_E = 2.2V$ dargestellt. C ist hierbei der Ausgang des Komparators und entspricht dem logischen Pegel an einem der NAND-Eingänge. T^* entspricht dem am Clock-Eingang (also nach dem NAND-Gatter) anliegenden Takt während T den vom Funktionsgenerator eingespeisten Takt vor dem NAND-Gatter bezeichnet.

Man erkennt, dass der A/D-Wandler wegen $2.0 \leq 2.2 \leq 2.5$ nach dem 5. Takt statisch bleibt und folglich die Dualzahl 0101 anzeigt. Das "Dreieck" im Pulsverlauf von T^* soll verdeutlichen, dass die 5. Taktflanke (der Zähler ist positiv flankengetriggert) noch durch das NAND-Gatter zum Zähler gelangt. Diese Flanke bedingt (verzögert nur durch die Laufzeit des Signals durch die Schaltung) die Blockade des Taktes.

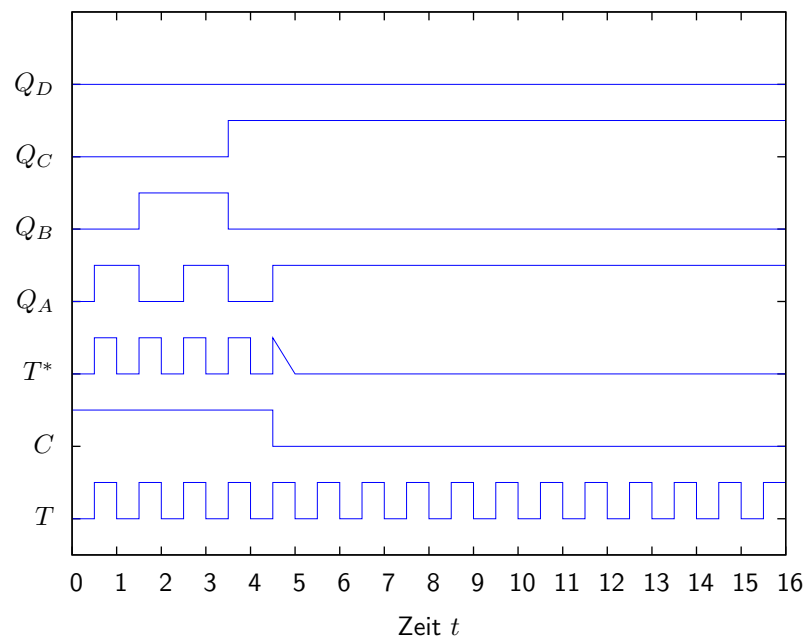


Abbildung 9: Pulsfolge am A/D-Wandler für ein anliegendes Signal $U_E = 2.2V$.

5. Fehlerrechnung

Da die gemessenen Werte nur zum Verständnis beitragen und keine quantitativen Aussagen belegen sollen führen wir keine Fehlerrechnung durch.

6. Zusammenfassung

Digital/Analog-Wandler Der untersuchte D/A-Wandler verhielt sich qualitativ der Theorie entsprechend. Auf Grund der groben Näherungen der berechneten Widerstände durch die vorhandenen E12-Bauteile konnten die erwarteten Spannungspegel beim unangepassten Wandler nur sehr grob und mit einer differentiellen Nichtlinearität von

$$\delta^{(1)} \approx 0.222V \quad (23)$$

bestätigt werden. Durch Anpassen der Widerstände und manuelles Ausmessen des Wandlers konnte die differentielle Nichtlinearität auf

$$\delta^{(2)} \approx 0.019V \quad (24)$$

reduziert werden. Des Weiteren ließen sich Nullpunktsspannung und Maximalausschlag durch Zuführen eines negativen Stromes bzw. Variation des Gegenkopplungswiderstandes einstellen. Dies war nötig, da die Ausgangspegel des zum Ansteuern verwendeten 4-Bit Zählers nicht mit denen bei manueller Steuerung anliegenden übereinstimmten.

Analog/Digital-Wandler Der D/A-Wandler konnte durch entsprechende logische Rückkopplung zu einem A/D-Wandler erweitert werden. Dessen Funktion wurde erfolgreich überprüft. Die Wandlungszeit wurde dabei maßgeblich durch die eingestellte Taktfrequenz bestimmt und ließ sich weit genug erhöhen, sodass nach dem Reset des Zählers praktisch instantan der neue (hexadezimale) Wert ausgegeben wurde. Da der verwendete D/A-Wandler nachweislich die Monotoniebedingung erfüllte, war der A/D-Wandler in der Lage jedem Spannungsintervall einen eigenen, binären Wert zuzuordnen ohne dabei Werte zu überspringen.

A. Messwerte

.