

Elektronikpraktikum im WS 2010/11

UNIVERSITÄT STUTTGART

Protokoll zum Versuch

V10: Flip-Flops und Zähler

Stephan Ludwig, Nicolai Lang

13. Januar 2011

Zusammenfassung

Die folgenden Versuche befassen sich mit der Funktion unterschiedlicher digitaler Schaltungen, deren Funktion wesentlich von Flipflops bestimmt wird. Im Speziellen werden die Funktionstabellen und Charakteristika von JK-Flipflops, asynchronen 4-stufigen Dual- und Dezimalzählern sowie synchronen Dualzählern untersucht. Abschließend wird die Funktion eines aus vier JK-Flipflops aufgebauten Schieberegisters ermittelt.

Verfasser	Lang, Nicolai (2439501, B.Sc. Physik)
Mitarbeiter	Ludwig, Stephan (2526605, B.Sc. Physik)
Gruppennummer	1-16
Versuchstag	10. Januar 2011
Betreuer	Steffen Steinert

Inhaltsverzeichnis

1. Grundlagen	3
1.1. Flipflop-Schaltungen	3
1.2. Zähler	4
1.2.1. Asynchronzähler	4
1.2.2. Synchronzähler	5
1.3. Schieberegister	5
2. Messprinzip, Schaltpläne und Versuchsablauf	7
2.1. JK-Flipflop	7
2.2. Zählerschaltungen	7
2.3. Schieberegister	8
3. Berechnungen & Formeln	10
4. Auswertung	11
4.1. JK-Flipflop	11
4.2. Zählerschaltungen	11
4.2.1. Taster als Taktgeber	11
4.2.2. Funktionsgenerator als Taktgeber	11
4.2.3. Dekadischer Zähler	15
4.2.4. Integrierter Synchronzähler	16
4.3. Schieberegister	19
5. Fehlerrechnung	20
6. Zusammenfassung	21
A. Pulsfolgen für ein 4-stufiges Schieberegister	22
B. Messwerte	23

1. Grundlagen

1.1. Flipflop-Schaltungen

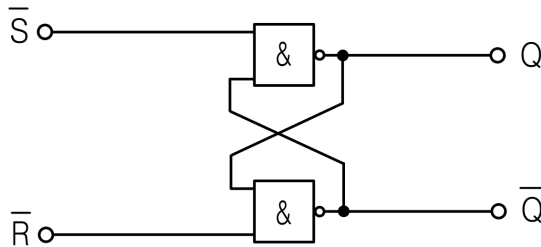


Abbildung 1: Aufbau eines RS-Flipflops.

Flipflops gehören zu den einfachsten Beispielen *getakteter* digitaler Schaltungen. Diese zeichnen sich durch logische Rückkopplungen aus, die durch galvanische, kapazitive oder induktive Verbindungen zwischen Ein- und Ausgängen zustande kommen. Solche Schaltungen können interne Zustände einnehmen, die bei Veränderung des Eingangszustandes erhalten bleiben. Daher hängt der Ausgangszustand solcher Schaltungen nicht nur vom Eingangszustand sondern auch vom internen Zustand der Schaltung ab – es lässt sich Information speichern.

Die elementare Flipflop-Schaltung ist in Abb. 9 dargestellt. Sie besteht aus zwei kreuzweise rückgekoppelten NAND-Gattern (der Aufbau gelingt auch mit NOR-Gattern) Ein solches Flipflop wird als *pegelgesteuert* bezeichnet, da sein Ausgangszustand nur durch die anliegenden Pegel an \bar{R} (reset) und \bar{S} (set) bestimmt wird und kein externer Takt die Übernahme der anliegenden Werte steuert.

Obige Schaltung wird als *RS-Flipflop* bezeichnet (R für *reset* und S für *set*) und funktioniert wie folgt:

Durch die zweifach invertierende Rückkopplung jedes Gatters auf sich selbst im Falle $\bar{S} = \bar{R} = 1$ sind nur die Ausgangszustände $Q = 1$ und $\bar{Q} = 0$ bzw. $Q = 0$ und $\bar{Q} = 1$ stabil. Der erste Zustand wird als *gesetzt*, der zweite als *ungesetzt* bezeichnet. Befinde sich das Gatter o.B.d.A im ungesetzten Zustand. Setzt man am Eingang nun $\bar{S} = 0$ und $\bar{R} = 1$ erzwingt man $Q = 1$ und über die Verbindung zum anderen NAND-Gatter auch $\bar{Q} = 0$. Die Rückkopplung auf das obere NAND-Gatter fordert nun $Q = 1$ – und zwar auch dann, wenn anschließend $\bar{S} = 1$ gesetzt wird! Damit ist das Flipflop durch $\bar{S} = 0 \Leftrightarrow S = 1$ in den gesetzten Zustand $Q = 1$

überführt worden, der auch im Zustand $\bar{S} = \bar{R} = 1$ erhalten (i.e. gespeichert) bleibt. Aus Symmetriegründen wirkt $\bar{S} = 1$ und $\bar{R} = 0$ genau umgekehrt und überführt das Flipflop in den ungesetzten Zustand $Q = 0$ und $\bar{Q} = 1$. Im Falle $\bar{S} = \bar{R} = 0$ stellt sich der Ausgangszu-

\bar{R}	\bar{S}	Q_{alt}	Q_{neu}	\bar{Q}_{neu}	Vorgang
0	1	X	0	1	zurücksetzen
1	0	X	1	0	setzen
1	1	1	1	0	speichern
1	1	0	0	1	speichern
0	0	X	1	1	Zu vermeiden!

Tabelle 1: Wahrheitstafel des RS-Flipflops.

stand $Q = \bar{Q} = 1$ ein. Dieser ist zwar stabil, lässt sich aber nicht speichern, da das Flipflop beim Übergang zu $\bar{S} = \bar{R} = 1$ durch leichte Asymmetrien entweder in den gesetzten oder den ungesetzten Zustand “kippt”. Der Folgezustand von $\bar{S} = \bar{R} = 0$ ist daher undefiniert, weshalb dieser Zustand zu vermeiden ist. Um diese Undefiniertheit zu vermeiden, kann einer der Eingänge *dominierend* geschaltet werden (dies geschieht intern und ist eine Eigenschaft des verwendeten Bauteils), sodass der Folgezustand von $\bar{S} = \bar{R} = 0$ eindeutig durch die gewählte Dominanz gegeben ist.

Die soeben erläuterte Funktionsweise lässt sich mit der Wahrheitstafel von Tabelle 1 zusammenfassen. Weitaus funktionaler und daher ge-

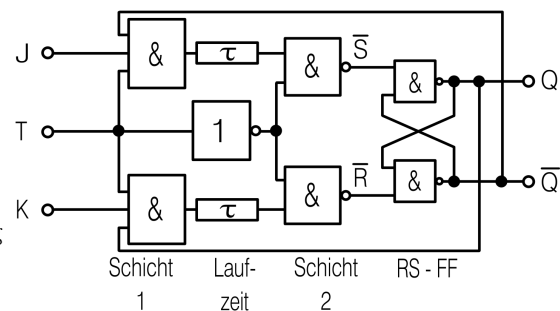


Abbildung 2: Aufbau eines JK-Flipflops.

bräuchlicher ist das sog. *JK-Flipflop* (siehe Abb. 10). Diese Flipflop-Schaltungen sind als IC verfügbar und werden in den folgenden Versuchen verwendet.

JK-Flipflops unterscheiden sich grundlegend von RS-Flipflops durch ihr Ansteuerverhalten. Während RS-Flipflops pegelgesteuert waren, sind JK-Flipflops flankengesteuert (und damit takt-

gesteuert). JK-Flipflops ändern ihren Zustand in Abhängigkeit vom Eingangszustand an J und K sowie dem inneren Zustand (der "Vergangenheit" des Gatters) nach dem an T anliegenden Takt (daher taktgesteuert) und nur bei der negativen Flanke $T = 1 \rightarrow T = 0$ (daher flankengesteuert).

Die Grundidee des JK-Flipflops ist das sog. *Schleusenprinzip*. Die erste Gatterschicht wirkt wie ein "Schleusensor", dass nur im Fall $T = 1$ Eingangszustände (definiert durch K, J, Q und \bar{Q}) in das "Schleusenbecken" (i.e. die Laufzeitstrecke) hineinlässt. Die Gatterschicht 2 stellt das zweite "Schleusensor" dar und öffnet sich nur für $T = 0$. Damit wird der Zustand(-swechsel) des RS-Flipflops, das der Schleuse folgt, nur durch den Impuls an \bar{R} und \bar{S} bestimmt, welcher bei der Flanke $T = 1 \rightarrow T = 0$ aus der Laufzeitstrecke austritt. Dies ist die Ursache für die Flankentriggerung des JK-Flipflops.

J	K	Q_{alt}	Q_{neu}	$Q_{neu} \leftarrow$	Funktion
0	0	0	0	Q_{alt}	speichern
0	0	1	1	Q_{alt}	speichern
1	0	0	1	J	D-FF
1	0	1	1	J	D-FF
0	1	0	0	J	D-FF
0	1	1	0	J	D-FF
1	1	0	1	\bar{Q}_{alt}	T-FF
1	1	1	0	\bar{Q}_{alt}	T-FF

Tabelle 2: Wahrheitstafel des JK-Flipflops für den Übergang $T = 1 \rightarrow T = 0$ (flankengetriggert).

Untersuchungen der einzelnen Zustände J, K und Q_{alt} ergibt die Folgezustände Q_{neu} wie sie in Tabelle 2 gelistet sind. Dabei fallen drei verschiedene Betriebsmodi des JK-Flipflops auf:

- Im Zustand $J = K = 0$ hält das JK-FF den Wert von Q , also $Q_{neu} \leftarrow Q_{alt}$.
- Im Zustand $\bar{J} = K$ übernimmt das JK-FF während der negativen T -Flanke den Wert von J , also $Q_{neu} \leftarrow J$ (ein solches Flipflop wird als D-FF bezeichnet).
- Im Zustand $J = K = 1$ invertiert das JK-FF bei jeder fallenen T -Flanke den Ausgang, also $Q_{neu} \leftarrow \bar{Q}_{alt}$ (ein solches Flipflop wird als T-FF bezeichnet).

D-Flipflops eignen sich besonders für Speicheranwendungen (z.B. bei Schieberegistern) während

T-Flipflops für Zähler unverzichtbar sind. Daher eignen sich JK-Flipflops für eine Vielzahl von Anwendungen und liegen als ICs vor, die einer Logikfamilie angehören.

1.2. Zähler

Zähler sind elementarer Bestandteil vieler digitaler Schaltungen und summieren die Impulse (genauer die positiven oder negativen Pulsflanken) des Eingangssignales binär auf. Sie werden i.d.R. aus T-Flipflops (z.B. aus JK-Flipflops im entsprechenden Modus) aufgebaut und lassen sich in *asynchrone* und *synchrone* Zähler unterteilen:

1.2.1. Asynchrone Zähler

In Abb. 11 ist links der schematische Aufbau eines 4-stufigen asynchronen Binärzählers dargestellt. Rechts ist der Zeitverlauf des Spannungspegels an den verschiedenwertigen Ausgängen aufgetragen. Bei den seriell geschalteten Bauteilen handelt es sich um T-Flipflops, die bei jeder negativen Flanke den Ausgangszustand invertieren und daher die Eingangsfrequenz halbieren. Die Reihenschaltung führt daher zu einer Halbierung, Viertelung, Achtelung ... der Frequenz an den verschiedenen Ausgängen. Man erkennt leicht, dass die an den Ausgängen anliegenden Zustände gerade den Bits einer Dualzahl entsprechen, welche die Zahl der bisher detektierten negativen Flanken am Eingang E codiert. Dabei wird das Bit umso höherwertiger, je weiter hinten der Ausgang in der Kette liegt. In

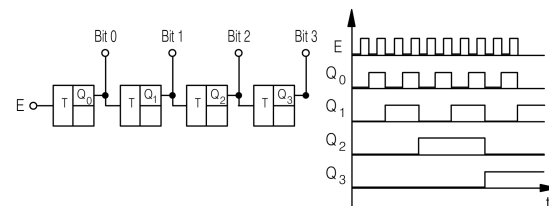


Abbildung 3: Aufbau eines Asynchrone Zählers (links) und Pulsfolge an den Ausgängen (rechts).

der Regel wird jedes Flipflop zusätzlich mit einer Reset-Leitung verbunden, die eine simultane Rücksetzung aller Flipflops (und damit einen Reset des Zählers) erlaubt. Mit dieser Leitung ist es zudem möglich bei einem Zählerstand von $n \leq 2^N$ (mit N Stufen bzw. Flipflops) den Zähler

zurückzusetzen. Damit lassen sich Schaltungen, die $\text{mod}(n)$ zählen realisieren.

Ein Problem der Asynchronzähler ist die endliche Laufzeit der Signale durch die Flipflop-Kette. Der neue Zählerstand wird daher vom **lsb** beginnend bis zum **msb** aktualisiert, wobei zwischen jeder Stelle der Dualzahl die Laufzeit des Signals durch ein Flipflop vergeht. Damit zeigt der Zähler für eine Zeitspanne $N \cdot \tau$ (mit τ der Laufzeit durch ein Gatter) falsche Zählcodes an. Da diese Zeitspanne konstant ist, wächst der prozentuale Anteil falscher Zählcodes mit zunehmender Taktfrequenz. Ist die Taktperiode kleiner als $N \cdot \tau$ erreicht der Zähler während dieser Periode den korrekten Zählcode nicht mehr. Daher ist ein solcher Zähler für hohe Taktraten unbrauchbar.

1.2.2. Synchronzähler

Der in Abb. 12 dargestellte 4-stufige synchrone Binärzähler behebt dieses Problem, indem seine verschiedenen Stufen (hier sind dies JK-Flipflops) *synchron* mit dem Eingangssignal getaktet werden. Damit spielen die Laufzeiten durch die einzelnen Flipflops keine Rolle mehr, da sie sich nicht akkumulieren können. Die Idee bei Synchronzähler besteht darin, die Eigenschaft des JK-Flipflops auszunutzen, für $J = K = 0$ seinen Wert zu halten, während er für $J = K = 1$ mit jedem Takt invertiert wird. Die einzelnen Zählstufen (verschiedenwertige Bits der Dualzahl) werden nun so lange auf $J = K = 0$ (also unverändert) gehalten, bis alle niedrigeren Stufen den Wert 1 aufweisen. Dies wird durch die

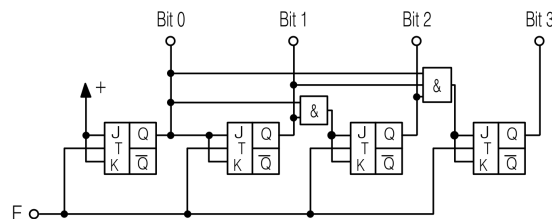


Abbildung 4: Aufbau eines Synchronzählers.

AND-Gatter in Abb. 12 erreicht, die jeweils von den vorangegangenen Flipflops abhängen. Erst wenn diese alle auf 1 stehen, befindet sich das JK-FF im Modus eines T-FF und invertiert bei der nächsten (aktiven) Flanke den Ausgang. Dieser Mechanismus bildet gerade das Muster des binären Zählens ab und erlaubt so die Impulszählung ohne den Nachteil falscher Zwischenzustände.

1.3. Schieberegister

Schieberegister lassen sich durch eine Kette aus JK-FFs realisieren, die durch die Verschaltung im D-FF-Modus arbeiten (beim ersten FF wird dies durch einen Inverter gewährleistet, die Folgenden werden durch die Inversion zwischen Q und \bar{Q} im D-FF-Modus gehalten). Eine solche Schaltung ist in Abb. 13 abgebildet und besitzt die praktische Eigenschaft bei jeder (aktiven) Taktflanke am Eingang T den Zustand jedes Flipflops auf das nächste Flipflop zu übertragen. Die Bits werden also wie bei einer "Eimerkette" weitergereicht und fallen am Ende des Schieberegisters aus der Kette (können dort also weiterverarbeitet werden). Schieberegister arbeiten

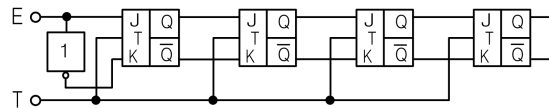


Abbildung 5: Aufbau Schieberegisters.

also als temporärer Datenspeicher oder *Puffer* nach dem FIFO Prinzip (*first in, first out*), da das erste eingeschriebene Bit am Ende der Kette als erstes wieder ausgelesen wird. Damit ergeben sich die folgenden Anwendungen:

- Als **Puffer** speichert das Schieberegister N Bit, indem der Eingang mit dem Ausgang verbunden wird. Zum Auslesen kann diese Verbindung getrennt werden und das Schieberegister gibt die gespeicherte Information aus (und nimmt zugleich neue am Eingang entgegen).
- Als **Serialisierer** oder **Parallelisierer** lassen sich Schieberegister verwenden, wenn jedes FF einen zusätzlichen Setzeingang (zum Serialisieren) oder Ausleseausgang (zum Parallelisieren) besitzt. Dann können Bitmuster in das Schieberegister geschrieben werden um anschließend seriell die Schaltung zu verlassen. Umgekehrt können seriell vorliegende Muster eingelesen und parallel an allen FFs ausgelesen werden.
- Als Implementierung eines **Shift-Operators** kann ein Schieberegister zum schnellen Multiplizieren von Dualzahlen in Mikroprozessoren eingesetzt werden. Ein Schieberegister verschiebt die Bits einer Dualzahl mit jedem Takt um Eins. Je nach Richtung entspricht dies einer Multiplikation oder

Division mit oder durch 2. Da Dualzahlen durch Sequenzen von Bit-Shifts und Additionen $\text{mod } (2)$ multipliziert werden, erlauben Schieberegister die schnelle, hardwaregestützte Multiplikation solcher Zahlen.

Eine interessante Anwendung von Schieberegistern ergibt sich bei Rückkopplung zweier Bit-Ausgänge über ein XOR-Gatter auf den Eingang. Je nach Wahl der Ausgänge lassen sich so mehr oder weniger lange Zyklen erreichen, deren Länge den einfachen Schieberegisterzyklus weit übertreffen kann. Die erzeugten Zahlen gehorchen keinem offensichtlichen Gesetz und werden daher als *Pseudozufallszahlen* bezeichnet. Da die Zyklenlänge 2^N nicht überschreiten kann, bleibt die deterministische "Zufälligkeit" der Zahlenfolgen nur innerhalb gewisser Grenzen erhalten. Nach Abschluss des Zyklus folgen dieselben Zahlenmuster.

2. Messprinzip, Schaltpläne und Versuchsablauf

2.1. JK-Flipflop

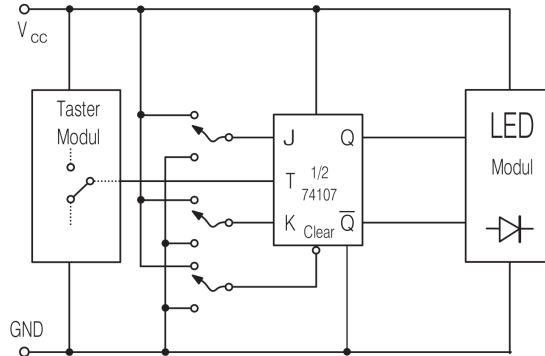


Abbildung 6: Beschaltung des JK-Flipflops.

Messprinzip und Versuchsaufbau Die Schaltung wird nach Abb. 6 aufgebaut. Das JK-Flip-Flop wird durch den IC 74LS107 bereitgestellt. Die Eingänge J, K und Clear werden mit Tastern im Toggle-Modus beschaltet während der Takteingang T einem einfachen, entprellten Taster zugeführt wird.

Versuchsablauf Die Funktionstabelle des JK-Flip-Flops wird bestimmt, indem alle 8 möglichen Zustände des Flip-Flops auf ihren Folgezustand hin untersucht werden. Die Übernahme des angelegten Zustandes erfolgt dabei durch manuelles Takten mit dem Taster. Um das Flip-Flop betriebsbereit zu machen muss der Clear-Eingang geschlossen und damit auf V_{CC} gelegt werden. Zur Kontrolle werden die Spannungspegel an den Schaltern mit dem Multimeter überprüft.

Geräte JK-Flipflop 74LS107, Taster-Modul, LED-Modul, Steckbrett mit Spannungsquelle. ◀

2.2. Zählerschaltungen

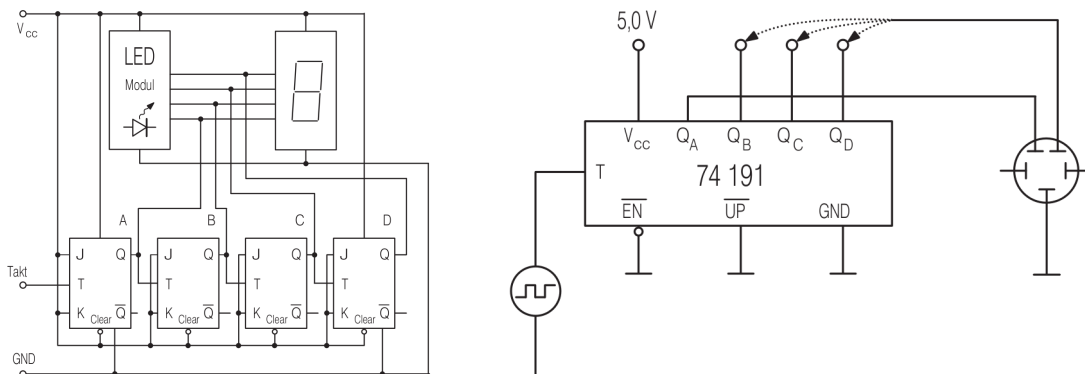


Abbildung 7: Beschaltung des 4-stufigen asynchronen Binärzählers (links) und des synchronen Binärzählers (rechts).

Messprinzip und Versuchsaufbau Für den ersten Teil des Versuches wird die Schaltung in Abb. 7 (links) aufgebaut. Hierbei kommen als JK-Flip-Flops zwei ICs (74LS107 und 74107) zum Einsatz. Der 4-Bit Eingang der 7-Segment-Anzeige wird zusätzlich mit LEDs beschaltet um die binären Eingangssignale beobachten zu können. Der Takt-Eingang T wird wahlweise mit dem entprellten Taster oder dem Sync-Ausgang des Funktionsgenerators verbunden. Der in dieser Bauweise realisierte Modulo-16 Zähler wird durch ein mit den Ausgängen B und D verbundenes NAND-Gatter vom Typ 74LS00 zu einem Modulo-10 Zähler, wenn der Ausgang des NAND-Gatters mit allen vier Clear-Eingängen verbunden wird.

Für den zweiten Teil des Versuches wird die Schaltung nach Abb. 7 (rechts) aufgebaut. Hierbei findet der integrierte 4-Bit Dualzähler 74191 Verwendung. Der Takteingang T wird mit dem Sync-Ausgang des Funktionsgenerators verbunden. CH1 des Oszilloskops wird wahlweise mit T oder Q_A verbunden, während CH2 zur Messung des Spannungsverlaufes an den Ausgängen Q_B , Q_C bzw. Q_D benutzt wird. Die Triggerung des Oszilloskops wird mit dem an Q_D anliegenden Signal durchgeführt.

Versuchsablauf

1. Die Funktionsweise des asynchronen 4-stufigen Binärzählers aus Abb. 7 (links) wird untersucht, indem die angezeigten Werte (7-Segmentanzeige und LEDs) in Abhängigkeit von der Taktanzahl aufgenommen werden. Die Takte werden dabei manuell mit dem Taster erzeugt.
2. Im Anschluss wird der Taster am Takteingang durch den Sync-Ausgang des Funktionsgenerators ersetzt, welcher auf eine Frequenz von $\nu = 10\text{Hz}$ eingestellt wird. Das Oszilloskop wird mit dem Signal an Ausgang D extern getriggert. Dann werden die Signalverläufe an allen vier Zählerausgängen mit dem am Takteingang verglichen, indem CH1 mit T und CH2 mit Q_{A-D} verbunden werden. Die gemessenen Spannungsverläufe werden mit LabVIEW aufgezeichnet. Hierbei wird vom Signal an Q_D eine Aufnahme mit hoher Zeitaufösung bei einer abfallenden Flanke an Q_D aufgenommen um die Laufzeitverzögerung der Kette aus 4 Flip-Flops ermitteln zu können.
3. Durch die im Versuchsaufbau beschriebene Modifikation wird der Modulo-16 Zähler zum Modulo-10 Zähler umgebaut. Dessen Funktion wird qualitativ durch manuelles Takten (entprellter Taster an T) untersucht.
4. Nach dem Umbau der Schaltung entsprechend obiger Beschreibung wird der synchrone Zähler 74191 mit einer Frequenz von $\nu = 10\text{Hz}$ betrieben. Für CH1 an Q_A und CH2 an Q_{B-D} werden mit LabVIEW die Daten des Oszilloskops aufgenommen. Um die Verzögerung an Q_D zu beobachten wird ein Datensatz mit hoher Zeitaufösung im Bereich einer fallenden Flanke an Q_D aufgenommen. Anschließend wird die aktive Flanke des Zählers ermittelt, indem CH1 mit T verbunden wird während CH2 an Q_D angeschlossen bleibt.

Geräte JK-Flip-Flops 74LS107 und 74107, 4-Bit Synchronzähler 74191, TTL-NAND-Gatter 74LS00, Keithley 3390 (Funktionsgenerator), Tektronix (Digitaloszilloskop, 2 Kanäle), LED-Modul, Taster-Modul, Steckbrett mit Spannungsquelle. ◀

2.3. Schieberegister

Messprinzip und Versuchsaufbau Das 4-Bit Schieberegister wird mit den JK-Flip-Flops 74LS107 und 74107 nach Abb. 8 aufgebaut. Als Inverter kommt ein entsprechend beschaltetes TTL-NAND-Gatter 74LS00 zum Einsatz. Der Takt-Eingang wird mit dem entprellten Taster verbunden während der Daten-Eingang ("Eingang") wahlweise mit einem Taster im Toggle-Modus oder dem Ausgang D des Schieberegisters verknüpft wird. Die vier Ausgänge A, B, C und D werden mit je einer LED des LED-Moduls verbunden.

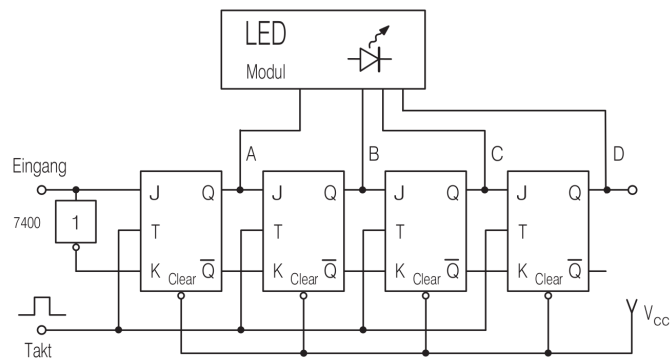


Abbildung 8: Schaltplan des Schieberegisters.

Versuchsablauf Durch anlegen einer logischen 1 am Eingang und drücken der Takttaste wird ein Bit im Schieberegister gesetzt. Danach wird am Eingang eine logische 0 angelegt und anschließend durch mehrfaches Drücken der Takttaste beobachtet, wie sich das Schieberegister verhält. Anschließend wird das Register wieder mit einem Bit im Zustand 1 geladen. Der Ausgang D wird dann mit dem Eingang verbunden. Durch mehrfaches Drücken der Takttaste wird wieder das Verhalten des Schieberegisters studiert.

Geräte JK-Flip-Flops 74LS107 und 74107, TTL-NAND-Gatter 74LS00, LED-Modul, Taster-Modul, Steckbrett mit Spannungsquelle. ◀

3. Berechnungen & Formeln

Für die folgenden Versuche sind keine speziellen qualitativen Zusammenhänge nötig.

4. Auswertung

4.1. JK-Flipflop

Die gemessene Funktionstabelle in positiver Logik ist in Tabelle 3 dargestellt. Offensichtlich konnte damit die in den Grundlagen angegebene Funktionstabelle Tab. 2 eines JK-Flip-Flops verifiziert werden.

J	K	Q_{alt}	Q_{neu}	\overline{Q}_{neu}
0	0	0	0	1
0	0	1	1	0
1	0	0	1	0
1	0	1	1	0
0	1	0	0	1
0	1	1	0	1
1	1	0	1	0
1	1	1	0	1

Tabelle 3: Funktionstabelle des JK-Flipflops.

Die Überprüfung der Spannungspegel an den Schaltern bzw. Tastern ergab $U_H \approx 4.8V$ und $U_L \approx (2 - 13)mV$ (abhängig vom Taster S_i). Mit diesen Potentialen sind die Steuerelemente in der Lage TTL-Bausteine mit stabilen Logik-Pegeln zu versorgen.

Der Zustand der Ausgänge ändert sich bei dem verwendeten JK-Flip-Flop beim Loslassen des Tasters, ergo bei der negativen Taktflanke $T = 1 \rightarrow T = 0$. Im Falle $J = K = 1$ alternieren $Q = 1$ und $Q = 0$ mit dem Takt – das JK-Flip-Flop arbeitet als T-Flip-Flop (*toggle*). Wie in den Grundlagen erläutert lässt sich diese Funktion gewinnbringend bei Zählerschaltungen einsetzen wobei der Algorithmus des dualen Zählens implementiert werden muss. Da letzteres durch das Alternieren zweiwertiger Zustände ausgezeichnet ist bietet sich das JK-Flip-Flop in der Beschaltung $J = K = 1$ an solche Zählmechanismen elektrotechnisch nachzubilden.

4.2. Zählerschaltungen

4.2.1. Taster als Taktgeber

Taktet man den asynchronen 4-Bit Dualzähler manuell ergeben sich die Ausgangsmuster und LED-Anzeigen wie in Tab. 4 dargestellt. Die Bitmuster entsprechen dabei der binären Darstellung der von der 7-Segmentanzeige dargestellten Hexadezimalzahl. Nach dem 15. Takt befindet sich der Zähler im höchstmöglichen Zustand F. Der nächste Takt führt damit zum Zählerüberlauf und damit zum Zählerwert 0. Das Rücksetzen des Zählers auf 0 erfolgt dabei von A nach D (also vom *lsb* zum *msb*). Damit werden alle vier Flip-Flops nacheinander in den Zustand $Q_i = 0$ versetzt. Das Signal an Ausgang D würde einen folgendes, höherwertiges Bit inkrementieren. Da dort aber kein Flip-Flop angebracht ist, fällt der Zähler in den Ausgangszustand zurück.

4.2.2. Funktionsgenerator als Taktgeber

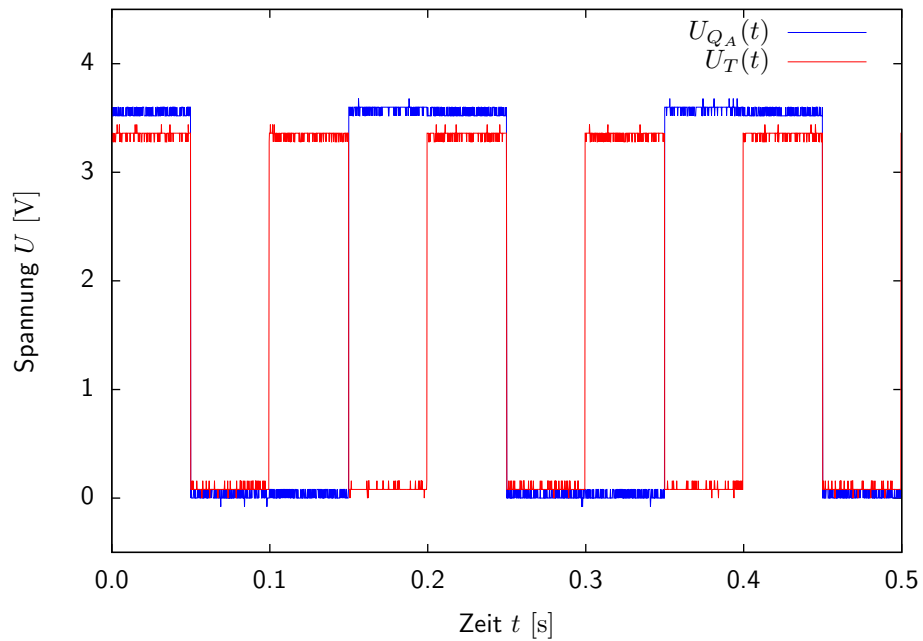
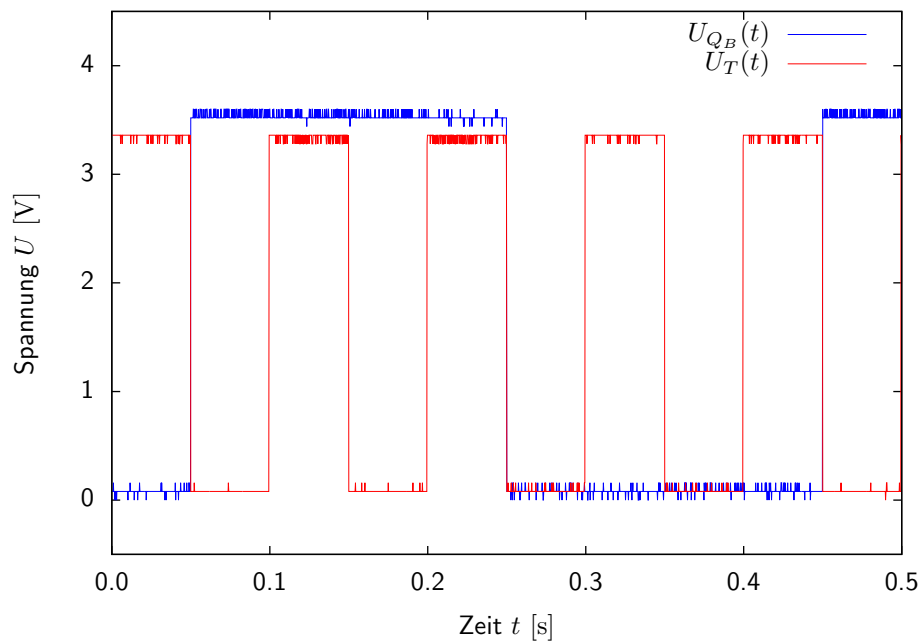
Taktet man den asynchronen 4-stufigen Binärzähler mit dem Rechtecksignal des Sync-Ausganges des Funktionsgenerators ergeben sich die Pulsverläufe in den Abbildungen 9 bis 12. In Abb. 9 erkennt man das einlaufende Taktsignal und das frequenzhalbierte Ausgangssignal an Q_A . Wie in den Grundlagen beschrieben fungiert das T-Flip-Flop als Frequenzuntersetzer und halbiert die Eingangsfrequenz. Hierbei können die *fallenden Flanken* des Eingangssignales eindeutig als die Aktiven des flankengetriggerten Flip-Flops identifiziert werden. In den Abbildungen 10, 11 und 12 sind schließlich die weiteren Ausgangsfrequenzen gegen die Eingangsfrequenz aufgetragen. Von Stufe zu Stufe erkennt man hier eine Frequenzhalbierung bis am Ausgang D eine Frequenz $\nu_D = \frac{1}{16}\nu_T$ (mit ν_T der Taktfrequenz) gemessen wird.

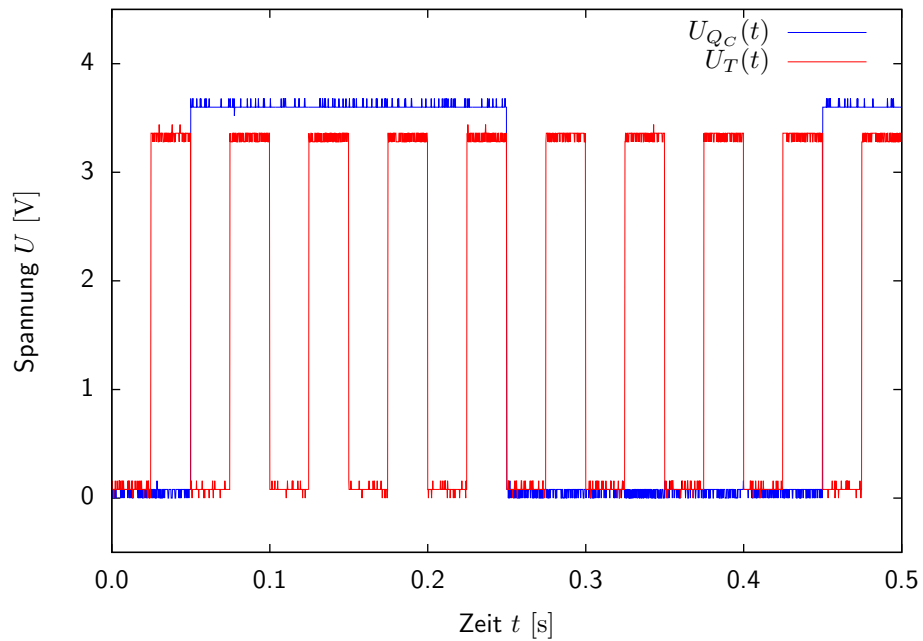
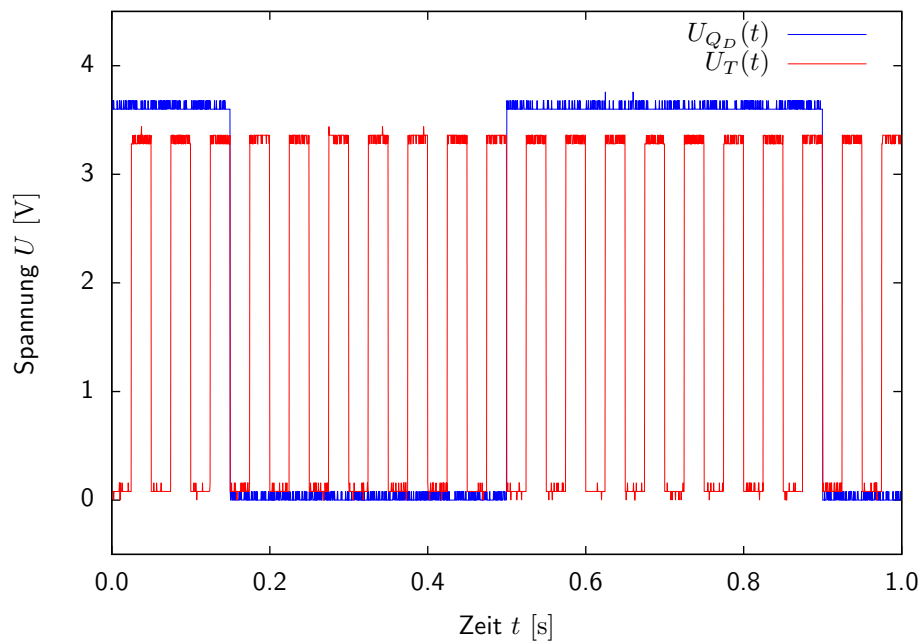
Takt	Bit 3	Bit 2	Bit 1	Bit 0	LED
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	0	4
5	0	1	0	1	5
6	0	1	1	0	6
7	0	1	1	1	7
8	1	0	0	0	8
9	1	0	0	1	9
10	1	0	1	0	A
11	1	0	1	1	B
12	1	1	0	0	C
13	1	1	0	1	D
14	1	1	1	0	E
15	1	1	1	1	F
16	0	0	0	0	0

Tabelle 4: Ausgabe des asynchronen Modulo-16 Zählers.

Hierbei wurde das Oszilloskop mit dem an Ausgang D anliegenden Taktsignal getriggert um für alle vier Ausgänge (speziell für den mit der höchsten Periode, also Ausgang D) ein stabiles Signal aufnehmen zu können.

Die Schaltverzögerung zwischen Ein- und Ausgang D ermitteln wir direkt aus den aufgenommenen Datensätzen. Hierfür suchen wir die Zeitpunkte, zu denen am Eingang bzw. am Ausgang D der Einbruch des Spannungspegels *beginnt*. Dies ergibt die absoluten Zeiten $t_T = 87.2\text{ns}$ und $t_{Q_D} = 153.9\text{ns}$, welche mit den beginnenden (negativen) Flanken der Spannungspegel in Abb. 13 zu identifizieren sind. Damit ergibt sich eine Signallaufzeit durch den Zähler von $\tau = t_{Q_D} - t_T \approx 66.7\text{ns}$ wobei dieser aus 4 seriell geschalteten T-Flip-Flops bestand. Die Signallaufzeit eines JK-Flip-Flops im T-Modus beläuft sich damit auf $\tau_{FF} = \frac{\tau}{4} \approx 16.7\text{ns}$. Wie in den Grundlagen erläutert würde bei einer Grenzfrequenz von $\nu^* = \frac{1}{N \cdot \tau_{FF}} = \frac{1}{\tau} \approx 15.0\text{MHz}$ das Signal durch den Zähler so lange brauchen, dass ein neuer Takt eingespeist würde, bevor der Zähler den korrekten Zählcode anzeigen kann. Für alle Frequenzen $\nu \geq \nu^*$ kann damit der Fall eintreten, dass der Zählerstand zu keiner Zeit dem wahren Wert entspricht.

Abbildung 9: Pulsverlauf des Asynchrnzählers am Eingang (U_T) und am Ausgang A (U_{Q_A}).Abbildung 10: Pulsverlauf des Asynchrnzählers am Eingang (U_T) und am Ausgang B (U_{Q_B}).

Abbildung 11: Pulsverlauf des Asynchrnzählers am Eingang (U_T) und am Ausgang C (U_{Q_C}).Abbildung 12: Pulsverlauf des Asynchrnzählers am Eingang (U_T) und am Ausgang D (U_{Q_D}).

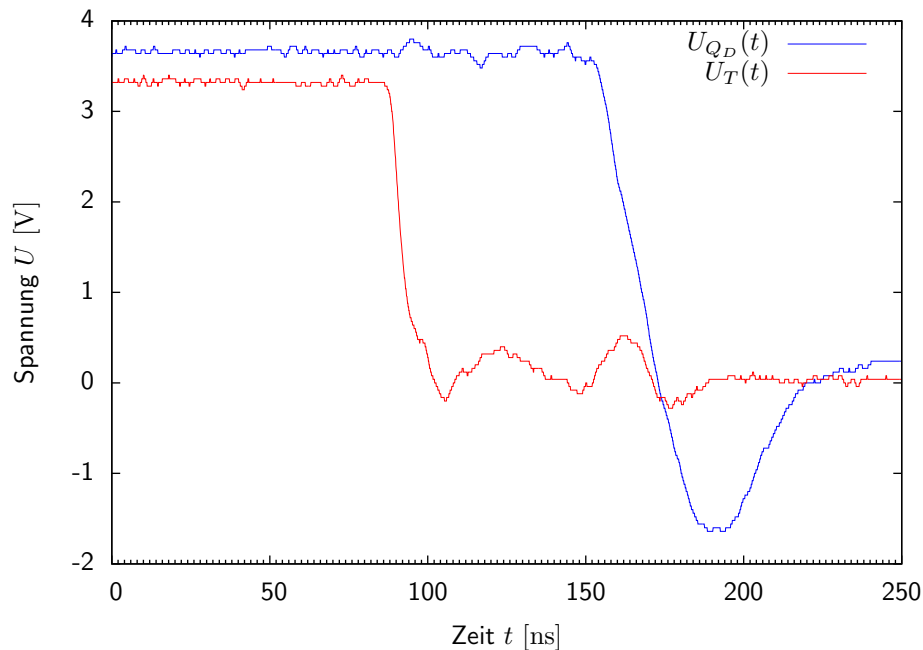


Abbildung 13: Pulsverlauf des Asynchrnzählers am Eingang (U_T) und am Ausgang D (U_{Q_D}) bei einer fallenden Flanke und hoher Zeitaufösung.

4.2.3. Dekadischer Zähler

Werden die Ausgänge B und D mit einem NAND-Gatter verknüpft und dessen Ausgang mit dem (invertierten) **Clear**-Eingang aller vier JK-Flip-Flops verbunden, ergeben sich bei manuellem Durchlaufen der Zählerzustände mit dem Taster die Ausgangszustände in Tabelle 5. Diese entsprechend bis zum 9. Takt denen des Modulo-16 Zählers. Beim 10. Takt (der Modulo-16 Zähler würde nun auf A umschalten) sorgt das NAND-Gatter auf Grund der beiden in der Tabelle markierten logischen 1en für einen Reset aller vier Flip-Flops und damit des Zählers auf 0. Der dekadische Zähler modulo 10 wurde also einfach durch einen “abgebrochenen” hexadezimalen Zähler realisiert.

Takt	Bit 3	Bit 2	Bit 1	Bit 0	LED
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	0	4
5	0	1	0	1	5
6	0	1	1	0	6
7	0	1	1	1	7
8	1	0	0	0	8
9	1	0	0	1	9
10	1	0	1	0	0

Tabelle 5: Ausgabe des asynchronen Modulo-10 Zählers.

4.2.4. Integrierter Synchronzähler

Der untersuchte 4-Bit Synchronzähler ergab die in den Abbildungen 14, 15 und 16 dargestellten Pulsverläufe. Auch hier lässt sich wieder die Frequenzuntersetzung um den Faktor $\frac{1}{2}$ pro Zählerstufe beobachten. Hierbei muss beachtet werden, dass die Pulsverläufe den schon frequenzhalbierten Ausgang Q_A als Referenzsignal darstellen. Auf diese Weise lässt sich die Aktive Flanke nicht bestimmen, da alle 4 Flip-Flops *synchron* mit dem Eingangssignal getaktet werden und nicht wie beim zuvor untersuchten *asynchronen* Zähler den Takt vom vorherigen Flip-Flop empfangen. Aus diesem Grund wurde in Abb. 17 als Referenzsignal der Takt am *Eingang T* gemeinsam mit dem Signal am Ausgang Q_D dargestellt. Der nun dargestellte Referenztakt ist Auslöser der Pegelsprünge an jedem einzelnen Ausgang. Damit lässt sich nun ablesen, dass der vorliegende Baustein *positiv flankengetriggert* ist – im Gegensatz zum *negativ flankengetriggerten* Asynchronzähler, der oben untersucht wurde.

Um den Unterschied zum Asynchronzähler (vgl. Abb. 13) aufzuzeigen ist in Abb. 18 eine fallende Flanke der beiden Ausgangssignale an Q_A und Q_D mit hoher Zeitaufösung dargestellt. Der Unterschied zum Asynchronzähler ist offensichtlich die nun simultane Pegelanpassung an auch "weit auseinanderliegenden" Ausgängen. Der Grund ist die synchrone Taktung der T-Flip-Flops (siehe Grundlagen). Ein solcher Zähler ist daher auch geeignet bei hohen Taktraten fehlerfreie Zählcodes zu liefern.

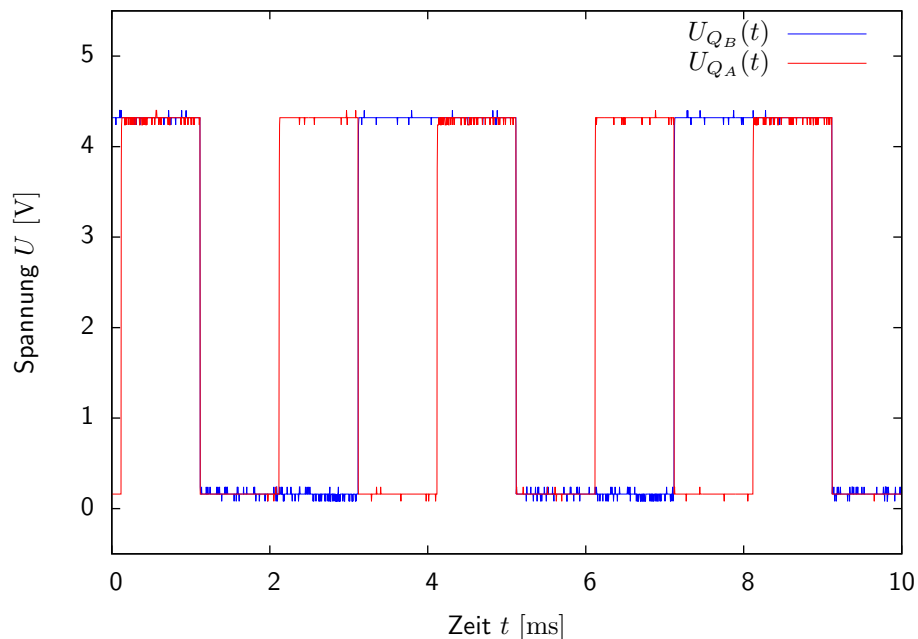
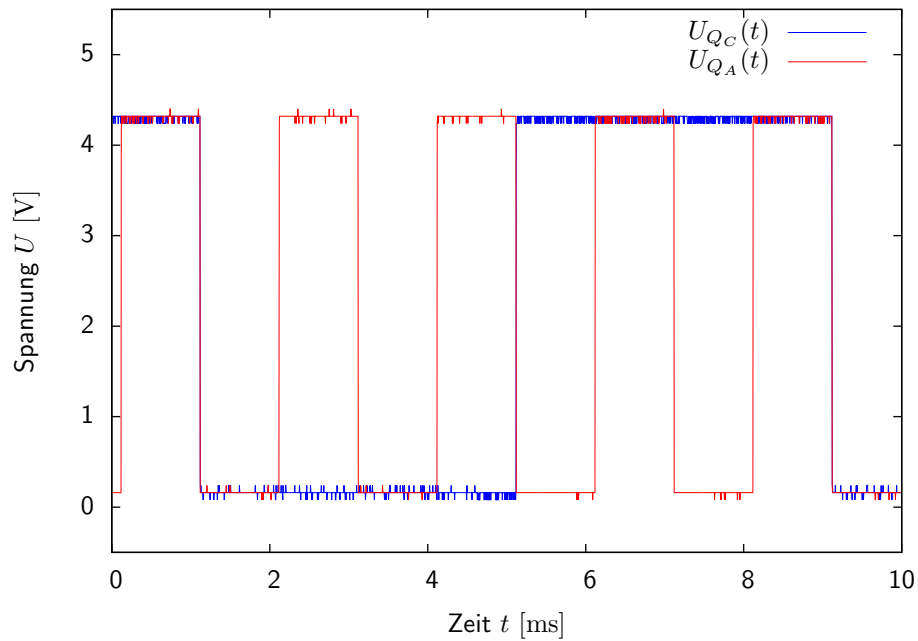
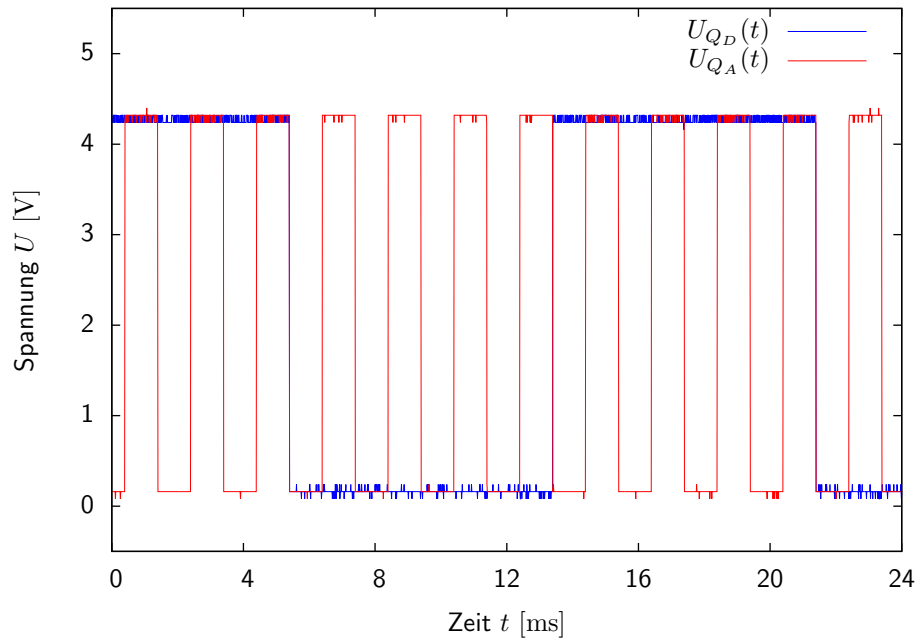
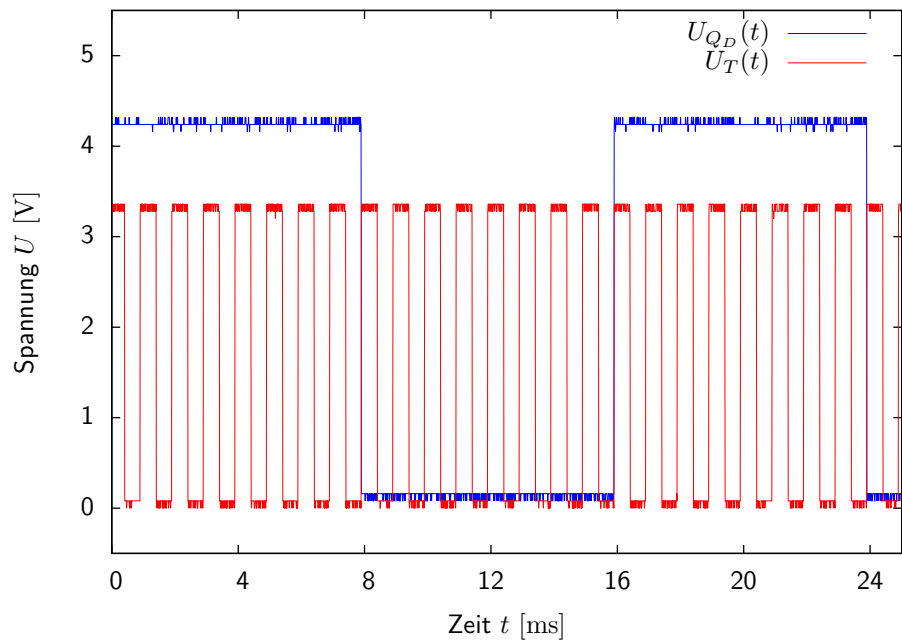
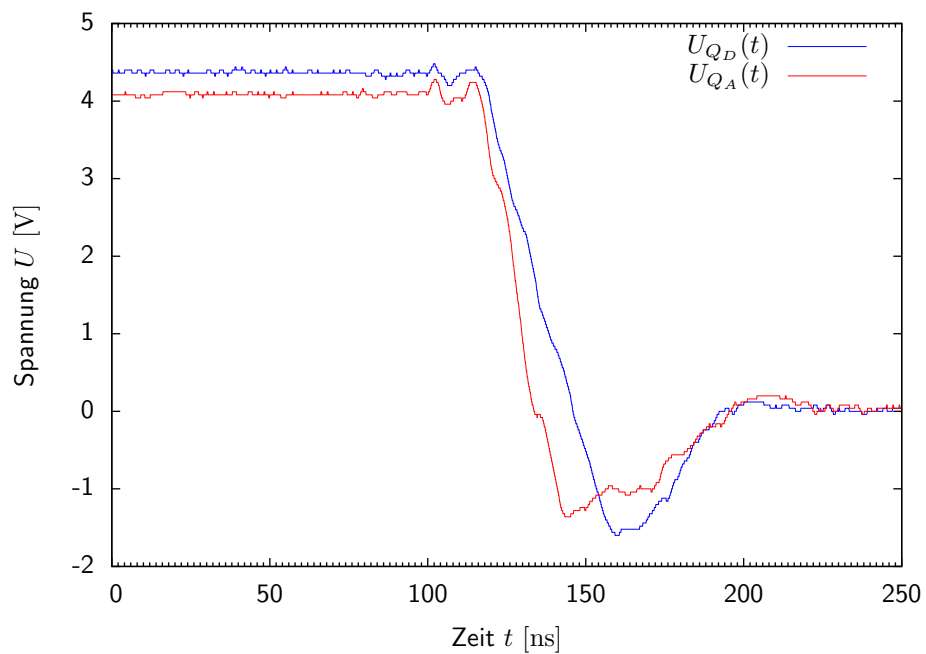


Abbildung 14: Pulsverlauf des Synchronzählers an den Ausgängen Q_A und Q_B .

Abbildung 15: Pulsverlauf des Synchronzählers an den Ausgängen Q_A und Q_C .Abbildung 16: Pulsverlauf des Synchronzählers an den Ausgängen Q_A und Q_D .

Abbildung 17: Pulsverlauf des Synchronzählers am Eingang T und Ausgang Q_D .Abbildung 18: Pulsverlauf des Synchronzählers an den Ausgängen Q_A und Q_D bei hoher Zeitaufösung und fallender Flanke.

4.3. Schieberegister

Wird eine logische 1 in das Schieberegister geschrieben indem der Eingang für einen Takt auf High danach wieder auf Low gesetzt wird, “wandert” die logische 1 mit jedem Takt eine Stelle im Register weiter. Da am Eingang bei jedem folgenden Takt eine logische 0 anliegt, füllt sich das Register von links nach rechts mit gelöschten Bits. Beim 4. Takt nach dem Einschreiben des Bits “fällt” dieses am Ende der D-Flip-Flop-Kette (Ausgang D) aus dem Register – es geht verloren. Eine solche Bitverschiebung entspricht – je nach Richtung – einer Multiplikation oder Division der im Register gespeicherten Dualzahl mit oder durch 2. Dies gilt aber nur solange das **msb** (höchstwertige Bit) 0 ist. Andernfalls tritt bei der Bitverschiebung ein Informationsverlust auf, da der Zähler überläuft.

Wiederholt man obige Prozedur mit dem Unterschied, dass nach dem Laden des Registers mit dem gewünschten Bit im Zustand 1 der Ausgang D mit dem Eingang verbunden wird, so bleiben die 4 gespeicherten Bits für unbegrenzte Taktzahlen erhalten. Die zyklische Translation des Bitmusters durch das Register ließ sich auf Grund der einprägsamen Struktur 1000 leicht verfolgen.

Der Pulsverlauf an den einzelnen Aus- und Eingängen der vier JK-Flip-Flops sind in Anhang A grafisch dargestellt. Grundlage der Grafiken sind theoretische Überlegungen und *keine* Messungen.

5. Fehlerrechnung

Da sich die durchgeführten Versuche mit digitalen Schaltungseigenschaften der Logik-Netzwerke befassen, ist eine Fehlerrechnung weder nötig noch möglich.

6. Zusammenfassung

JK-Flipflop Die erwartete Funktion des JK-Flip-Flops konnte verifiziert werden. Für $J = K = 0$ behielt das Flip-Flop seinen Zustand bei während es für $J = K = 1$ T-Flip-Flop Eigenschaften aufwies (es wechselte mit jedem Takt den Ausgangspegel). Im Fall $J = \bar{K}$ speicherte das JK-FF den Logikpegel an J und arbeitete damit als D-Flip-Flop. Einen Zustand mit nicht definiertem Folgezustand (wie er beim RS-Flip-Flop existiert) lässt sich mit einem JK-FF nicht erreichen. Das untersuchte JK-FF erwies sich als *negativ flankengetriggert* – der logische Folgezustand wurde nur während der fallenden Taktflanke am Clock-Eingang durch die anliegenden Pegel bestimmt.

Zählerschaltungen Der mit vier JK-FFs (im T-FF Modus) betriebene Asynchronzähler arbeitete als Modulo-16 Zähler (Hexadezimalzähler). Durch eine einfache Beschaltung mit einem NAND-Gatter konnte die Inkrementierung des Ausgangswertes vorzeitig abgebrochen und zurückgesetzt werden. Damit lies sich ein Modulo-10 Zähler (Dezimalzähler) realisieren. Wurden die Taktraten an den Ausgängen unterschiedlicher Wertigkeit mit dem Eingangssignal verglichen, ließ sich die theoretisch erwartete Frequenzuntersetzung von $\frac{1}{2}$ beobachten. Die Verzögerung zwischen Ein- und Ausgangssignal eines im T-FF Modus betriebenen JK-FFs wurde zu

$$\tau_{FF} \approx 16.7\text{ns} \quad (1)$$

gemessen. Damit ergibt sich eine Grenzfrequenz von

$$\nu^* \approx 15.0\text{MHz} \quad (2)$$

Wird der untersuchte 4-stufige Zähler mit Frequenzen $\nu \geq \nu^*$ betrieben, kann der Fall eintreten, dass der korrekte Zählcode nicht mehr angezeigt wird.

Der untersuchte 4-Bit Synchronzähler war – im Gegensatz zu obigem Asynchronzähler – *positiv flankengetriggert*. Die Laufzeitunterschiede zwischen den Ausgängen unterschiedlicher Wertigkeit waren praktisch nicht mehr vorhanden. Demnach zeigt ein solcher Zähler auch für große Frequenzen korrekte Zählcodes an.

Schieberegister Die beobachtete Funktion des 4-Bit Schieberegisters entsprach den Erwartungen. Durch eine Verbindung von Ein- und Ausgang des Registers konnte eine zyklische Verschiebung des gespeicherten Bit-Musters erzwungen werden. Die im Schieberegister gespeicherte Information konnte auf diese Weise unbegrenzt gespeichert werden (unter der Voraussetzung, dass die Versorgungsspannung angelegt blieb).

Wurde der Ausgang des Registers unbeschaltet gelassen durchwanderte ein eingeschriebenes Bit das Schieberegister in 3 Takten um im 4. Takt das Register zu verlassen, d.h. gelöscht zu werden.

A. Pulsfolgen für ein 4-stufiges Schieberegister

In Abb. 19 ist die Pulsfolge an den verschiedenen Aus- und Eingängen des hier verwendeten 4-stufigen Schieberegisters für einen gegebenen Eingangspuls an J_1 dargestellt.

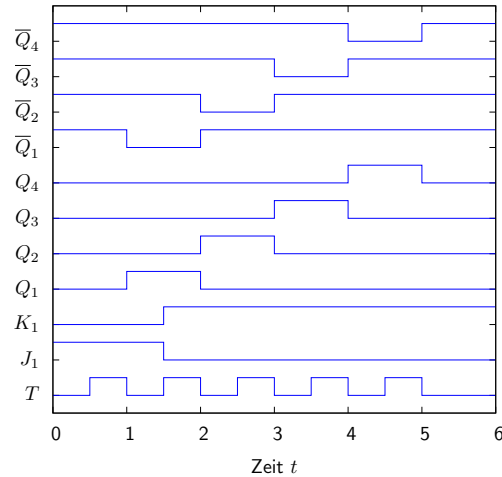


Abbildung 19: Pulsfolge am Schieberegister für Versuchsteil (a).

Abb. 20 zeigt die Pulsfolge des Schieberegisters für den selben Eingangspuls an J_1 , wenn nach Beenden der Eingangssequenz J_1 mit Q_4 verbunden wird.

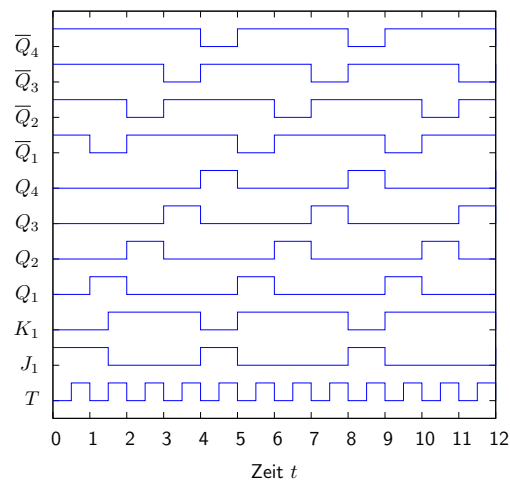


Abbildung 20: Pulsfolge am Schieberegister für Versuchsteil (b).

B. Messwerte

.

.